



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of )  
Takashi YAMASAKI et al. ) Group Art Unit: Unassigned  
Application No.: Unassigned ) Examiner: Unassigned  
Filed: June 18, 2001 )  
For: DATA INPUT AND OUTPUT DEVICE )  
USING TIMER FUNCTION )  
)  
)  
)  
)

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-012294

Filed: January 19, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: June 18, 2001

By: William C. Roush, RA 30888, for  
Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of  
the following application as filed with this Office.

Date of Application : January 19, 2001

Application Number : Japanese Patent Application No. 2001-012294

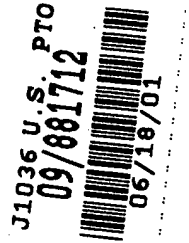
Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 9th day of February, 2001

Commissioner,  
Patent Office Kozo OIKAWA

Certificate No. 2001-3006754

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

#2  
Charned

出 願 年 月 日

Date of Application:

2001年 1月19日

出 願 番 号

Application Number:

特願2001-012294

出 願 人

Applicant (s):

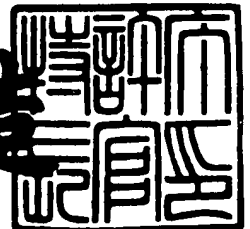
三菱電機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 2月 9日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願  
【整理番号】 529003JP01  
【提出日】 平成13年 1月19日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G06F 3/00  
H04L 7/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 山崎 貴志

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 松井 秀夫

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 入出力装置

【特許請求の範囲】

【請求項 1】 所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、

データの送受信タイミングに対応する設定値を格納し、上記タイマ回路からのカウント信号値と上記設定値とが一致するごとに一致信号を出力する比較一致レジスタ回路と、

外部からのクロック信号とともに、上記比較一致レジスタ回路からの一致信号を入力し、これらのうちいずれかを選択してデータシフトクロック信号として出力するクロック選択回路と、

このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路と

を備えた入出力装置。

【請求項 2】 比較一致レジスタ回路は、データの送信タイミングに対応する設定値を格納する送信用比較一致レジスタ回路と、データの受信タイミングに対応する設定値を格納する受信用比較一致レジスタ回路とからなり、タイマ回路からのカウント信号値と上記設定値とが一致するごとに、一致信号としてそれぞれ送信用一致信号、受信用一致信号を出力し、

上記タイマ回路は、上記送信用比較一致レジスタ回路からの送信用一致信号又は上記受信用比較一致レジスタ回路からの受信用一致信号を入力するごとにカウント信号の値を 0 にクリアすることを特徴とする請求項 1 記載の入出力装置。

【請求項 3】 所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、

データ送受信用の同期クロック信号の周期に対応する設定値を格納し、上記タイマ回路からのカウント信号値と上記設定値とが一致するごとに、互いに異なる値の一致信号を逐次出力する比較一致レジスタ回路と、

この比較一致レジスタ回路からの互いに異なる値の一致信号を入力し、これらのそれぞれに対応して設定される論理値からなるデータ送受信用の同期クロック

信号を出力するフリップフロップ回路と、

外部からのクロック信号とともに、上記フリップフロップ回路からのデータ送受信の同期クロック信号を入力し、これらのうちいずれかを選択してデータシフトクロック信号として出力するクロック選択回路と、

このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路と  
を備えた入出力装置。

【請求項 4】 比較一致レジスタ回路から出力される一致信号を入力し、この一致信号に対応して設定される論理値からなるデータ送受信の同期クロック信号を出力するフリップフロップ回路を備えることを特徴とする請求項 1 又は請求項 2 記載の入出力装置。

【請求項 5】 タイマ回路は、データシフトレジスタ回路が受信するデータ信号の立ち上がり又は立ち下がりエッジのタイミングに応じてカウント信号の値を 0 にクリアすることを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項記載の入出力装置。

【請求項 6】 比較一致レジスタ回路は、DMA (Direct Memory Access) によって設定値が格納されることを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項記載の入出力装置。

【請求項 7】 タイマ回路からのカウント信号値と設定値とが一致するごとに、比較一致レジスタ回路に新たな設定値を転送するリロードレジスタ回路を備えることを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項記載の入出力装置。

【請求項 8】 タイマ回路からのカウント信号値と設定値とが一致するごとに、転送レートに対応する所定値を比較一致レジスタ回路に加算して新たな設定値を算出する加算器を備えることを特徴とする請求項 1 から請求項 3 のうちのいずれか 1 項記載の入出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はマイクロコンピュータなどにおける入出力装置に係り、特にタイマ機能を使用してデータ送受信の各タイミング信号を自由に変更することができる入出力装置に関するものである。

#### 【0002】

##### 【従来の技術】

従来のシリアル入出力装置は、内部のプリスケアラが出力するクロック信号に同期してデータをシリアル送信し、一方、シリアル受信では送信側から送られてくるクロック信号に同期して受信したデータをサンプリングする。

#### 【0003】

図14は上述した従来の入出力装置の構成を示すブロック図である。図において、100は不図示のクロック発振回路から入力した基準クロック信号を分周してデータ送受信用のクロック信号CLKoutを生成するプリスケアラで、200は送信シフトレジスタであって、外部からのクロック信号CLKin又はプリスケアラ100が生成したクロック信号CLKoutに同期してデータを送信する。300は受信シフトレジスタであって、外部からのクロック信号CLKin又はプリスケアラ100が生成したクロック信号CLKoutに同期してデータを受信する。400は外部からのクロック信号CLKin又はプリスケアラ100が生成したクロック信号CLKoutのうちいずれかを選択して送信シフトレジスタ200に出力するセレクタ、500は外部からのクロック信号CLKin又はプリスケアラ100が生成したクロック信号CLKoutのうちいずれかを選択して受信シフトレジスタ300に出力するセレクタである。

#### 【0004】

次に動作について説明する。

ここでは、プリスケアラ100が生成したデータ送受信用のクロック信号CLKoutに同期してデータ送受信する場合について説明する。この場合、各セレクタ400、500はプリスケアラ100が生成したクロック信号CLKoutをシフトクロック信号として選択して送信シフトレジスタ200、受信シフトレジスタ300に出力する。

#### 【0005】



図 1 5 は図 1 4 の入出力装置のデータ送受信におけるタイミング図である。図に示すように、プリスケアラ 1 0 0 によって分周された信号は、データ送受信用として生成したクロック信号 C L K o u t に同期している。

先ず、データ送信の場合を説明すると、セレクタ 4 0 0 が選択したクロック信号 C L K o u t をシフトタイミングとして送信シフトレジスタ 2 0 0 がシフトされ、送信データ S o u t を出力する。図 1 5 では、送信シフトレジスタ 2 0 0 がクロック信号 C L K o u t の立ち下がりエッジに同期して送信データ S o u t を出力している。

#### 【 0 0 0 6 】

次に、データ受信の場合を説明する。ここでは、プリスケアラ 1 0 0 が生成したデータ送受信用のクロック信号 C L K o u t に同期してデータ送受信するので、このクロック信号 C L K o u t に同期して送信元から受信データ S i n が送信されてくる。受信シフトレジスタ 3 0 0 はセレクタ 5 0 0 が選択したクロック信号 C L K o u t をシフトタイミングとしてシフトし、受信データ S i n を格納する。図 1 5 では、受信シフトレジスタ 3 0 0 がクロック信号 C L K o u t の立ち上がりエッジに同期して受信データ S i n を格納している。

#### 【 0 0 0 7 】

上述したプリスケアラ 1 0 0 は、入出力装置のデータ送受信などに使用されるクロック信号を生成する以外の機能に使用されることは少ない。一方で、通常のワンチップマイクロコンピュータにおけるプリスケアラには、タイマ機能という基準クロック信号や外部からのクロック信号を計数する周辺機能が存在する。

#### 【 0 0 0 8 】

##### 【発明が解決しようとする課題】

従来の入出力装置は以上のように構成されているので、外部からのクロック信号を使用せず、内部のプリスケアラ 1 0 0 が生成するクロック信号を使用して、シリアル送受信を行う場合、正常にデータ送受信の同期を取ることができないことがあるという課題があった。

#### 【 0 0 0 9 】

具体的に上記課題を説明すると、例えば、送信先から論理値 0 となる時間と論

理値 1 となる時間とが異なる周期を有するデータが送信されてきた場合、これらに同期する外部からのクロック信号を使用しないと、プリスケアラ 1 0 0 が生成するクロック信号では正常に受信の同期を取ることができない。

#### 【 0 0 1 0 】

また、プリスケアラ 1 0 0 はクロック信号の生成以外の処理に使用されることが少なく、タイマ機能などの周辺機能が有効に利用されていないという課題があった。

#### 【 0 0 1 1 】

この発明は上記のような課題を解決するためになされたもので、既存のタイマ機能を使用してシリアル入出力の機能を実現することで内部資源を有効に活用するとともに、データ送受信の各タイミング信号を自由に変更することができる入出力装置を得ることを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

この発明に係る入出力装置は、所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、データの送受信タイミングに対応する設定値を格納し、タイマ回路からのカウント信号値と設定値とが一致するごとに一致信号を出力する比較一致レジスタ回路と、外部からのクロック信号とともに、比較一致レジスタ回路からの一致信号を入力し、これらのうちいずれかを選択してデータシフトクロック信号として出力するクロック選択回路と、このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路とを備えるものである。

#### 【 0 0 1 3 】

この発明に係る入出力装置は、比較一致レジスタ回路がデータの送信タイミングに対応する設定値を格納する送信用比較一致レジスタ回路と、データの受信タイミングに対応する設定値を格納する受信用比較一致レジスタ回路とからなり、タイマ回路からのカウント信号値と設定値とが一致するごとに、一致信号としてそれぞれ送信用一致信号、受信用一致信号を出力し、タイマ回路が送信用比較一致レジスタ回路からの送信用一致信号又は受信用比較一致レジスタ回路からの受

信用一致信号を入力するごとにカウント信号の値を 0 にクリアするものである。

【 0 0 1 4 】

この発明に係る入出力装置は、所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、データ送受信用の同期クロック信号の周期に対応する設定値を格納し、タイマ回路からのカウント信号値と設定値とが一致するごとに、互いに異なる値の一致信号を逐次出力する比較一致レジスタ回路と、この比較一致レジスタ回路からの互いに異なる値の一致信号を入力し、これらのそれぞれに対応して設定される論理値からなるデータ送受信用の同期クロック信号を出力するフリップフロップ回路と、外部からのクロック信号とともに、フリップフロップ回路からのデータ送受信用の同期クロック信号を入力し、これらのうちいずれかを選択してデータシフトクロック信号として出力するクロック選択回路と、このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路とを備えるものである。

【 0 0 1 5 】

この発明に係る入出力装置は、比較一致レジスタ回路から出力される一致信号を入力し、この一致信号に対応して設定される論理値からなるデータ送受信用の同期クロック信号を出力するフリップフロップ回路を備えるものである。

【 0 0 1 6 】

この発明に係る入出力装置は、タイマ回路が、データシフトレジスタ回路が受信するデータ信号の立ち上がり又は立ち下がりエッジのタイミングに応じてカウント信号の値を 0 にクリアするものである。

【 0 0 1 7 】

この発明に係る入出力装置は、比較一致レジスタ回路が DMA (Direct Memory Access) によって設定値を格納するものである。

【 0 0 1 8 】

この発明に係る入出力装置は、タイマ回路からのカウント信号値と設定値とが一致するごとに、比較一致レジスタ回路に新たな設定値を転送するリロードレジスタ回路を備えるものである。

【 0 0 1 9 】

この発明に係る入出力装置は、タイマ回路からのカウント信号値と設定値とが一致するごとに、転送レートに対応する所定値を比較一致レジスタ回路に加算して新たな設定値を算出する加算器を備えたものである。

#### 【 0 0 2 0 】

##### 【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

##### 実施の形態 1.

図 1 はこの発明の実施の形態 1 による入出力装置の構成を示すブロック図である。図において、1 はベースタイマ（タイマ回路）であって、不図示の CPU からの制御信号や外部からのクロック信号などの入力をトリガとしてカウント動作を開始し、所定値までのカウント信号を所定の時間ごとに出力する。2 a はデータ送信におけるシフトタイミングに対応する設定値を格納し、この設定値とベースタイマ 1 のカウント信号値とを比較する比較一致レジスタ（送信用比較一致レジスタ回路、比較一致レジスタ回路）であって、上記設定値とベースタイマ 1 のカウント信号値とが一致すると送信用の一致信号 0 を出力する。2 b はデータ受信におけるシフトタイミングに対応する設定値を格納し、この設定値とベースタイマ 1 のカウント信号値とを比較する比較一致レジスタ（受信用比較一致レジスタ回路、比較一致レジスタ回路）であって、上記設定値とベースタイマ 1 のカウント信号値とが一致すると受信用の一致信号 1 を出力する。3 は比較一致レジスタ 2 a, 2 b から一致信号 0, 1 を入力し、これら一致信号 0, 1 のそれぞれに対応して論理値 1 がセット、論理値 0 にリセットされる RS フリップフロップ（フリップフロップ回路）である。

#### 【 0 0 2 1 】

4 はセレクト 6 からのデータシフトクロック信号に同期してシフトし、送信データ S o u t を出力する送信シフトレジスタ回路（データシフトレジスタ回路）で、5 はセレクト 7 からのデータシフトクロック信号に同期してシフトし、受信データ S i n を格納する受信シフトレジスタ回路（データシフトレジスタ回路）である。6 は外部からのクロック信号と比較一致レジスタ 2 a からの一致信号 0 とを入力し、これらのうちいずれかをデータシフトクロック信号として選択して

送信シフトレジスタ回路 4 に出力するセクタ（クロック選択回路）で、7 は外部からのクロック信号と比較一致レジスタ 2 b からの一致信号 1 とを入力し、これらのうちいずれかをデータシフトクロック信号として選択して受信シフトレジスタ回路 5 に出力するセクタ（クロック選択回路）である。

#### 【 0 0 2 2 】

次に動作について説明する。

ここでは、実施の形態 1 による入出力装置自身が生成したクロック信号に同期してデータ送受信する場合について説明する。この場合、セクタ 6 では一致信号 0 を選択し、セクタ 7 では一致信号 1 を選択して送信シフトレジスタ回路 4、受信シフトレジスタ回路 5 に出力する。また、データ送受信する相手には、データ送受信用の同期クロック信号が必要となるが、この実施の形態 1 では RS フリップフロップ 3 が生成したクロック信号 CLKout を使用する。

#### 【 0 0 2 3 】

図 2 は図 1 の入出力装置のデータ送受信におけるタイミング図であり、このタイミング図を用いてデータ送受信動作を説明する。

まず、データ送信する場合を説明する。不図示の CPU によって比較一致レジスタ 2 a にシフトタイミング時間に対応する設定値を書き込む。具体的には、CPU がシフトタイミング時間に相当する時間までにベースタイマ 1 から出力されるカウント信号値（図 2 中に示したベースタイマ 1 のカウント信号パルスに付した丸記号におけるカウント信号値）を設定値として比較一致レジスタ 2 a に格納する。次に上記 CPU からの制御信号などをトリガとしてベースタイマ 1 がカウントを開始し、所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ 1 からのカウント信号の値は比較一致レジスタ 2 a の上記設定値と比較され、これらが一致すると比較一致レジスタ 2 a が一致信号 0 を RS フリップフロップ 3 及びセクタ 6 に出力する。また、この実施の形態 1 では不図示の CPU にも上記一致信号 0 を割り込み要求信号として出力する。

#### 【 0 0 2 4 】

セクタ 6 には、外部からのクロック信号及び一致信号 0 が入力しており、ここでは、一致信号 0 を送信シフトレジスタ回路 4 に出力する。一致信号 0 を入力

すると送信シフトレジスタ回路 4 内の後述する送信シフトレジスタがシフトし、送信データ *S o u t* を出力する。この後、一致信号 0 による割り込み要求信号を受けた CPU が次のシフトタイミング時間に対応する設定値（図 2 中に示したベースタイマ 1 のカウント信号パルスに付した次の丸記号におけるカウント信号値）を比較一致レジスタ 2 a に書き込む。

## 【 0 0 2 5 】

以上の動作を繰り返すことによって、一定のタイミングで送信シフトレジスタ回路 4 をシフトさせて、送信データ *S o u t* を出力させることができる。また、CPU が実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ 2 a に書き込むシフトタイミング時間に対応する設定値を自由に設定できるようにしておけば、所望のシフトタイミングで送信シフトレジスタ回路 4 内の送信シフトレジスタをシフトさせて、送信データ *S o u t* を出力させることができる。

## 【 0 0 2 6 】

次に、データ受信する場合を説明する。ここでは、データ送受信用の同期クロック信号として RS フリップフロップ 3 が生成したクロック信号 *C L K o u t* を使用するので、このクロック信号 *C L K o u t* に同期してデータ送信先から受信すべきデータが送信されてくる。このとき、不図示の CPU によって比較一致レジスタ 2 b にシフトタイミング時間に対応する設定値が書き込まれている。具体的には、CPU がシフトタイミング時間に相当する時間までにベースタイマ 1 から出力されるカウント信号値（図 2 中に示したベースタイマ 1 のカウント信号パルスに付した星記号におけるカウント信号値）を設定値として比較一致レジスタ 2 b に格納する。

## 【 0 0 2 7 】

上記 CPU からの制御信号などをトリガとしてベースタイマ 1 が所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ 1 からのカウント信号の値は比較一致レジスタ 2 b の上記設定値と比較され、これらが一致すると比較一致レジスタ 2 b が一致信号 1 を RS フリップフロップ 3 及びセクタ 7 に出力する。また、この実施の形態 1 では不図示の CPU にも上記一致信号 1 を割り込み要求信号として出力する。

## 【 0 0 2 8 】

セクタ 7 には、外部からのクロック信号及び一致信号 1 が入力しており、ここでは、一致信号 1 を受信シフトレジスタ回路 5 に出力する。一致信号 1 を入力すると受信シフトレジスタ回路 5 内の後述する受信シフトレジスタがシフトし、受信データ S i n をサンプリングする。この後、一致信号 1 による割り込み要求信号を受けた C P U が次のシフトタイミング時間に対応する設定値（図 2 中に示したベースタイマ 1 のカウント信号パルスに付した次の星記号におけるカウント信号値）を比較一致レジスタ 2 b に書き込む。

## 【 0 0 2 9 】

以上の動作を繰り返すことによって、一定のタイミングで受信シフトレジスタ回路 5 をシフトさせて、受信データ S i n をサンプリングすることができる。また、C P U が実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ 2 b に書き込むシフトタイミング時間に対応する設定値を自由に設定できるようにしておけば、所望のシフトタイミングで受信シフトレジスタ回路 5 内の受信シフトレジスタをシフトさせて、受信データ S i n をサンプリングすることができる。これによって、クロック信号 C L K o u t に同期せずに送信先から送信されてきたデータに対しても、比較一致レジスタ 2 b に書き込むシフトタイミング時間に対応する設定値を適宜変更することで対応することができる。

## 【 0 0 3 0 】

また、上記では、データ送受信用の同期クロック信号として R S フリップフロップ 3 が生成したクロック信号 C L K o u t を使用する例を示したが、セクタ 6, 7 が外部からのクロック信号をデータ送受信用の同期クロック信号として選択してもよい。この場合、送信シフトレジスタ回路 4 や受信シフトレジスタ回路 5 が、外部からのクロック信号をシフトタイミングとして、従来のシリアル入出力装置の動作と同様にデータ送受信するようになる。

## 【 0 0 3 1 】

次に実施の形態 1 による入出力装置の各構成部について詳細に説明する。

図 3 は実施の形態 1 による入出力装置の比較一致レジスタの一構成例を示す回路図である。図において、2 は比較一致レジスタ（比較一致レジスタ回路）で、

図 1 で示した比較一致レジスタ 2 a, 2 b に相当し、16 ビットのデータを格納できるものとする。2 A は入力した 2 信号が一致するとき、論理値 1 の信号を出力する論理一致素子である。2 B は比較一致レジスタ 2 の各ビットごとに設けられたデータラッチであって、不図示の CPU によってデータバス DB 0 ~ DB 15 を介して送られてくるシフトタイミング時間に対応する設定値をラッチし、論理一致素子 2 A に出力する。

## 【 0 0 3 2 】

2 C はデータラッチ 2 B のデータ出力 Q とデータバス DB 0 ~ DB 15 との間に設けられたトライステートバッファで、読み出し信号 RD がアクティブになるとデータ出力 Q の値をデータバス DB 0 ~ DB 15 に出力する。2 D は各ビットの論理一致素子 2 A の出力信号を入力し、これら出力信号が全て一致すると論理値 1 の信号を出力する AND 回路である。DB 0 ~ DB 15 は不図示の CPU からのシフトタイミング時間に対応する設定値をデータラッチ 2 B に伝送するデータバス、BTB 0 ~ BTB 15 はベースタイマ 1 のカウント信号の各ビットにおける出力値で、CMPCK は AND 回路 2 D が出力する一致信号であって、図 1 で示した比較一致レジスタ 2 a, 2 b の一致信号 0, 1 に相当する。

## 【 0 0 3 3 】

次に動作について説明する。

データラッチ 2 B, . . . , 2 B の各タイミング入力 T に不図示の CPU から書き込み信号 WR が入力すると、そのデータ入力 D に各データバス DB 0 ~ DB 15 からシフトタイミング時間に対応する設定値の各ビットに対応する値が入力する。データラッチ 2 B, . . . , 2 B の各データ出力 Q からは、各ビットごとに書き込まれたデータが出力し、比較一致レジスタ 2 の各ビットに対応する論理一致素子 2 A, . . . , 2 A に入力する。また、データラッチ 2 B, . . . , 2 B の各データ出力 Q は、比較一致レジスタ 2 の各ビットに対応するトライステートバッファ 2 C, . . . , 2 C を介してデータバス DB 0 ~ DB 15 に接続している。このトライステートバッファ 2 C, . . . , 2 C に、不図示の CPU から読み出し信号 RD が入力すると、データラッチ 2 B, . . . , 2 B の各データ出力 Q が出力するシフトタイミング時間に対応する設定値の各ビットに対応する値



がデータバスDB0～DB15に出力される。これによって、比較一致レジスタ2の記憶内容を確認することができる。

#### 【0034】

上述した論理一致素子2A, ..., 2Aのもう一つの入力には、ベースタイマ1のカウント信号の各ビットにおける値であるBTB0～BTB15がそれぞれ入力する。これによって、論理一致素子2A, ..., 2Aでは、データラッチ2B, ..., 2Bの各データ出力Qが出力するシフトタイミング時間に対応する設定値の各ビットに対応する値と、ベースタイマ1のカウント信号の各ビットにおける値であるBTB0～BTB15とが比較される。このとき、ベースタイマ1のカウント信号の各ビット値と比較一致レジスタ2の各ビット値とが一致すると、論理一致素子2Aは論理値1の信号（Hレベルの信号）を出力する。

#### 【0035】

AND回路2Dは、比較一致レジスタ2の各ビットに対応する論理一致素子2A, ..., 2Aの出力信号を入力し、これらの論理積をとる。これによって、ベースタイマ1のカウント信号の全ビット値と比較一致レジスタ2の全ビット値とが一致すると、AND回路2Dは論理値1（Hレベル）の一致信号CMPCKを出力する。また、ベースタイマ1のカウント信号の全ビット値と比較一致レジスタ2の全ビット値とが一致しない状態では、AND回路2Dは論理値0（Lレベル）の一致信号CMPCKを出力する。

#### 【0036】

図4は実施の形態1による入出力装置の送信シフトレジスタ回路の一構成例を示す回路図である。図において、4aは送信シフトレジスタ回路4を構成する送信シフトレジスタ（データシフトレジスタ回路）で、比較一致レジスタ2からの一致信号CMPCKに同期して送信データT×Dを出力する。4bは送信シフトレジスタ回路4を構成する送信バッファレジスタ（データシフトレジスタ回路）で、データバスDB0～DB15から入力される送信データを一時格納する。4cは送信シフトレジスタ回路4を構成する書き込み回路（データシフトレジスタ回路）で、送信バッファレジスタ4bに一時格納された送信データを送信シフトレジスタ4aに書き込む。4Aは送信シフトレジスタ4aを構成するデータラッ

チで、比較一致レジスタ 2 からの一致信号 C M P C K をタイミング入力 T に入力し、リセット入力 R に A N D 回路 4 D からのリセット信号が入力するとリセットされ、A N D 回路 4 E からの信号をセット入力 S に入力すると論理値 0, 1 がセットされる。

#### 【 0 0 3 7 】

4 B は送信バッファレジスタ 4 b を構成するデータラッチであって、タイミング入力 T に入力する書き込み信号 W R に同期してデータバス D B 0 ~ D B 1 5 からのデータをデータ入力 D に入力し、データ出力 Q から N O T 回路 4 C、A N D 回路 4 E に出力する。4 C は書き込み回路 4 c を構成する N O T 回路で、データラッチ 4 B から送信データを入力し、出力は A N D 回路 4 D に入力している。4 D は書き込み回路 4 c を構成する A N D 回路であって、N O T 回路 4 C の出力とタイミング信号 T G 2 とを入力してデータラッチ 4 A のリセット入力 R にリセット信号を入力する。4 E は書き込み回路 4 c を構成する A N D 回路であって、データラッチ 4 B のデータ出力 Q とタイミング信号 T G 2 とを入力してデータラッチ 4 A のセット入力 S にセット信号を入力する。なお、図 1 と同一構成要素には同一符号を付して重複する説明を省略する。

#### 【 0 0 3 8 】

次に動作について説明する。

不図示の C P U からの書き込み信号 W R をタイミング入力 T に入力すると、送信バッファレジスタ 4 b の各ビットに対応するデータラッチ 4 B, . . . , 4 B には、そのデータ入力 D にデータバス D B 0 ~ D B 1 5 から送出されている送信データが書き込まれる。また、各データラッチ 4 B, . . . 4 B に書き込まれた送信データはデータ出力 Q を介して N O T 回路 4 C 及び A N D 回路 4 E に出力される。

#### 【 0 0 3 9 】

書き込み回路 4 c を構成する N O T 回路 4 C は、データラッチ 4 B のデータ出力 Q からのデータを反転させて A N D 回路 4 D に出力する。A N D 回路 4 E は、N O T 回路 4 C の出力とともにタイミング信号 T G 2 を入力している。この A N D 回路 4 E は、論理値 1 (H レベル) のタイミング信号 T G 2 と、データラッチ

4 B のデータ出力 Q から出力された論理値 0 (L レベル) の信号 (即ち、NOT 回路 4 C の出力が論理値 1 (H レベル) となる) とを入力すると、論理値 0 (L レベル) の信号を出力する。この L レベルの信号はリセット入力 R にて反転して H レベルのリセット信号としてデータラッチ 4 A に取り込まれる。これによって、データラッチ 4 A の内容が 0 にリセットされる。また、NOT 回路 4 C の出力値とタイミング信号 T G 2 の値との他の組み合わせでは、リセット入力 R にて論理値 0 (L レベル) のリセット信号となってデータラッチ 4 A に取り込まれるので、データラッチ 4 A の内容はリセットされない。

## 【 0 0 4 0 】

一方、データラッチ 4 B のデータ出力 Q からのデータ及びタイミング信号 T G 2 は AND 回路 4 E にも入力している。この AND 回路 4 E は、論理値 1 (H レベル) のタイミング信号 T G 2 と、データラッチ 4 B のデータ出力 Q から出力された論理値 1 (H レベル) の信号とを入力すると、論理値 0 (L レベル) の信号を出力する。この L レベルの信号はセット入力 S にて反転して H レベルのセット信号としてデータラッチ 4 A に取り込まれる。これによって、データラッチ 4 A の内容が 1 にセットされる。また、データラッチ 4 B のデータ出力 Q の値とタイミング信号 T G 2 の値との他の組み合わせでは、セット入力 S にて論理値 0 (L レベル) のセット信号となってデータラッチ 4 A に取り込まれる、即ち、データラッチ 4 A の内容がリセット時の 0 を維持する。

## 【 0 0 4 1 】

上述のようにして、送信シフトレジスタ 4 a の各ビットに論理値 0、1 がセットされて送信バッファレジスタ 4 b の記憶内容が書き込まれる。送信シフトレジスタ 4 a の全ビットの書き込みが完了するとデータ送信が開始される。

具体的には、この送信シフトレジスタ 4 a が、ベースタイマ 1 のカウント信号値と比較一致レジスタ 2 の設定値とが一致して論理値 1 (H レベル) の一致信号 C M P C K がセレクタ 6 からデータラッチ 4 A のタイミング入力 T に入力されるごとにシフトして、送信データ T × D を出力する。

## 【 0 0 4 2 】

図 5 は実施の形態 1 による入出力装置の受信シフトレジスタ回路の一構成例を

示す回路図である。図において、5 a は受信シフトレジスタ回路 5 を構成する受信シフトレジスタ（データシフトレジスタ回路）で、比較一致レジスタ 2 からの一致信号 CMPCK に同期して受信データ R×D i n を逐次格納し、一定回数のシフトで格納された受信データ R×D i n を受信バッファレジスタ 5 b に出力する。5 b は受信データ R×D i n を格納する受信バッファレジスタ（データシフトレジスタ回路）であって、受信完了を示す受信完了タイミング信号 TG 1 を入力すると受信シフトレジスタ 5 a から受信データ R×D i n を入力し格納する。5 A は受信シフトレジスタ 5 a を構成するデータラッチで、比較一致レジスタ 2 からの一致信号 CMPCK がタイミング入力 T に入力すると、データ入力 D に受信データ R×D i n を入力する。5 B は受信バッファレジスタ 5 b を構成するデータラッチであって、受信完了を示す受信完了タイミング信号 TG 1 をタイミング入力 T に入力すると、データ入力 D に受信シフトレジスタ 5 a からの受信データ R×D i n を入力する。なお、図 1 と同一構成要素には同一符号を付して重複する説明を省略する。

## 【 0 0 4 3 】

次に動作について説明する。

比較一致レジスタ 2 から出力された一致信号 CMPCK と、外部からのクロック信号とを入力するセレクタ 7 が、一致信号 CMPCK を選択して受信シフトレジスタ 5 a に出力する。一致信号 CMPCK は受信シフトレジスタ 5 a を構成する各データラッチ 5 A のタイミング入力 T に入力する。このとき、論理値 1（H レベル）の一致信号 CMPCK がタイミング入力 T に入力すると、各データラッチ 5 A、・・・、5 A は、データ入力 D に送られてくる受信データ R×D i n を逐次書き込んでゆく。各データラッチ 5 A、・・・、5 A のデータ出力 Q からは、書き込まれた受信データ R×D i n が出力している。

## 【 0 0 4 4 】

各データラッチ 5 A、・・・、5 A のデータ出力 Q は、受信バッファレジスタ 5 b の各データラッチ 5 B、・・・、5 B のデータ入力 D と接続しており、受信シフトレジスタ 5 a が書き込んだ受信データ R×D i n が送出されている。また、受信シフトレジスタ 5 a の所定回数のシフトが完了すると、不図示の CPU は

受信完了タイミング信号TG1を発生し、これを各データラッチ5B, . . . , 5Bのタイミング入力Tに出力する。受信完了タイミング信号TG1がタイミング入力Tに入力すると、各データラッチ5B, . . . , 5Bは、データ入力Dに送出されていた受信シフトレジスタ5aが書き込んだ受信データR×Dinを入力し格納する。これによって、受信シフトレジスタ5aが受信した受信データR×Dinが受信バッファレジスタ5bに格納される。

## 【0045】

以上のように、この実施の形態1によれば、ベースタイマ1からのカウント信号値と、比較一致レジスタ2a, 2bが格納するデータの送受信タイミングに対応する設定値とが一致するごとに一致信号0, 1を出力し、この一致信号0, 1をデータシフトクロック信号として送信シフトレジスタ回路4や受信シフトレジスタ回路5がデータ送受信を行うので、比較一致レジスタ2a, 2bに所望の設定値を設定することで、データ送受信の各タイミング信号を自由に変更することができる。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができる。

## 【0046】

また、この実施の形態1によれば、比較一致レジスタ2a, 2bから出力される一致信号0, 1を入力し、この一致信号0, 1のそれぞれに対応して設定される論理値0, 1からなるデータ送受信用の同期クロック信号CLKoutを出力するRSフリップフロップ3を備えるので、比較一致レジスタ2a, 2bに所望の設定値を設定することで、データ送受信用の同期クロック信号を自由に変更することができる。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができる。

## 【0047】

実施の形態2.

図6はこの発明の実施の形態2による入出力装置の構成を示すブロック図である。図において、6aは外部からのクロック信号とRSフリップフロップ3からのクロック信号CLKoutとを入力し、これらのうちいずれかをデータシフトクロック信号として選択して送信シフトレジスタ回路4に出力するセクタ（ク

ロック選択回路)で、7 aは外部からのクロック信号とRSフリップフロップ3からのクロック信号CLKoutとを入力し、これらのうちいずれかをデータシフトクロック信号として選択して受信シフトレジスタ回路5に出力するセクタ(クロック選択回路)である。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

## 【0048】

次に動作について説明する。

ここでは、実施の形態2による入出力装置自身が生成したクロック信号CLKoutに同期してデータ送受信する場合について説明する。この場合、セクタ6 a, 7 aはRSフリップフロップ3が生成したクロック信号CLKoutを選択して送信シフトレジスタ回路4、受信シフトレジスタ回路5に出力する。また、データ送受信する相手には、データ送受信用の同期クロック信号が必要となるが、この実施の形態2ではRSフリップフロップ3が生成したクロック信号CLKoutを使用する。

## 【0049】

RSフリップフロップ3は、比較一致レジスタ2 aからの一致信号0を入力することで論理値0にリセットされ、比較一致レジスタ2 bからの一致信号1を入力することで論理値1がセットされる。これによって、RSフリップフロップ3は、一致信号0, 1のそれぞれに対応して設定される論理値0, 1からなるクロック信号CLKoutを生成する。

具体的には、不図示のCPUがクロック信号CLKoutの立ち下がり時間に相当する時間までにベースタイマ1から出力されるカウント信号値(図7中に示したベースタイマ1のカウント信号パルスに付した丸記号におけるカウント信号値)を設定値として比較一致レジスタ回路2 aに格納する。さらに、上記CPUがクロック信号CLKoutの立ち上がり時間に相当する時間までにベースタイマ1から出力されるカウント信号値(図7中に示したベースタイマ1のカウント信号パルスに付した星記号におけるカウント信号値)を設定値として比較一致レジスタ回路2 bに格納する。

## 【0050】

図 7 は図 6 の入出力装置のデータ送受信におけるタイミング図であり、このタイミング図を用いてデータ送受信動作を説明する。

先ず、データ送信する場合を説明する。図 7 に示す例では、データ送信が R S フリップフロップ 3 からのクロック信号 C L K o u t の立ち下がりエッジに同期して行われる。

上記 C P U からの制御信号などをトリガとしてベースタイマ 1 がカウントを開始し、所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ 1 からのカウント信号の値は比較一致レジスタ 2 a, 2 b の上記設定値と比較され、これらが一致すると比較一致レジスタ 2 a, 2 b が一致信号 0, 1 を R S フリップフロップ 3 に出力する。また、この実施の形態 2 では不図示の C P U にも上記一致信号 0, 1 を割り込み要求信号として出力する。

#### 【 0 0 5 1 】

セクタ 6 a には、外部からのクロック信号及び R S フリップフロップ 3 からのクロック信号 C L K o u t が入力しており、ここでは、クロック信号 C L K o u t を送信シフトレジスタ回路 4 に出力する。クロック信号 C L K o u t を入力すると送信シフトレジスタ回路 4 がクロック信号 C L K o u t の立ち下がりエッジに同期してシフトし、送信データ S o u t を出力する。この後、一致信号 0 による割り込み要求信号を受けた C P U が次のクロック信号 C L K o u t の立ち下がり時間に対応する設定値（図 7 中に示したベースタイマ 1 のカウント信号パルスに付した次の丸記号におけるカウント信号値）を比較一致レジスタ 2 a に書き込む。

#### 【 0 0 5 2 】

以上の動作を繰り返すことによって、一定のタイミングで送信シフトレジスタ回路 4 をシフトさせて、送信データ S o u t を出力させることができる。また、C P U が実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ 2 a に書き込むクロック信号 C L K o u t の立ち下がり時間に対応する設定値を自由に設定できるようにしておけば、所望のクロック信号 C L K o u t で送信シフトレジスタ回路 4 をシフトさせて、送信データ S o u t を出力させることができる。

## 【 0 0 5 3 】

次に、データ受信する場合を説明する。ここでは、データ送受信用の同期クロック信号としてRSフリップフロップ3が生成したクロック信号CLKoutを使用するので、このクロック信号CLKoutに同期してデータ送信先から受信すべきデータが送信されてくる。また、図7に示す例では、データ受信がRSフリップフロップ3からのクロック信号CLKoutの立ち上がりエッジに同期して行われる。

上記CPUからの制御信号などをトリガとしてベースタイマ1がカウントを開始し、所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ1からのカウント信号の値は比較一致レジスタ2a, 2bの上記設定値と比較され、これらが一致すると比較一致レジスタ2a, 2bが一致信号0, 1をRSフリップフロップ3に出力する。また、この実施の形態2では不図示のCPUにも上記一致信号0, 1を割り込み要求信号として出力する。

## 【 0 0 5 4 】

セクタ7aには、外部からのクロック信号及びRSフリップフロップ3からのクロック信号CLKoutが入力しており、ここでは、クロック信号CLKoutを受信シフトレジスタ回路5に出力する。クロック信号CLKoutを入力すると受信シフトレジスタ回路5がシフトし、受信データSinをサンプリングする。この後、一致信号1による割り込み要求信号を受けたCPUが次のクロック信号CLKoutの立ち上がり時間に対応する設定値（図7中に示したベースタイマ1のカウント信号パルスに付した次の星記号におけるカウント信号値）を比較一致レジスタ2bに書き込む。

## 【 0 0 5 5 】

以上の動作を繰り返すことによって、一定のタイミングで受信シフトレジスタ回路5をシフトさせて、受信データSinをサンプリングすることができる。また、CPUが実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ2bに書き込むクロック信号CLKoutの立ち上がり時間に対応する設定値を自由に設定できるようにしておけば、所望のシフトタイミングで受信シフトレジスタ回路5をシフトさせて、受信データSinをサンプリングすることができ



る。

#### 【0056】

また、上記では、データ送受信用の同期クロック信号としてRSフリップフロップ3が生成したクロック信号CLKoutを使用する例を示したが、セクタ6a、7aが外部からのクロック信号をデータ送受信用の同期クロック信号として選択してもよい。この場合、送信シフトレジスタ回路4や受信シフトレジスタ回路5が、外部からのクロック信号をシフトタイミングとして、従来のシリアル入出力装置の動作と同様にデータ送受信するようになる。

#### 【0057】

以上のように、この実施の形態2によれば、ベースタイマ1からのカウント信号値と、比較一致レジスタ2a、2bが格納するデータ送受信用の同期クロック信号の周期に対応する設定値とが一致するごとに出力される一致信号0、1をRSフリップフロップ3が入力し、このRSフリップフロップ3が互いに異なる値の一致信号0、1のそれぞれに対応して設定される論理値0、1からなるクロック信号CLKoutを生成し、このクロック信号CLKoutをデータシフトクロック信号として送信シフトレジスタ回路4や受信シフトレジスタ回路5がデータ送受信を行うので、比較一致レジスタ2a、2bに所望の設定値を設定することで、データ送受信用の同期クロック信号を自由に変更することができる。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができる。

#### 【0058】

実施の形態3.

図8はこの発明の実施の形態3による入出力装置の構成を示すブロック図である。図において、1aは比較一致レジスタ2aから論理値1（Hレベル）の一致信号0を受けると、カウント信号を0にクリアするベースタイマ（タイマ回路）である。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

#### 【0059】

次に動作について説明する。

ここでは、実施の形態3による入出力装置自身が生成したクロック信号に同期してデータ送受信する場合について説明する。この場合、セクタ6では一致信号0を選択し、セクタ7では一致信号1を選択して送信シフトレジスタ回路4、受信シフトレジスタ回路5に出力する。また、データ送受信する相手には、データ送受信用の同期クロック信号が必要となるが、この実施の形態3ではRSフリップフロップ3が生成したクロック信号CLKoutを使用する。

## 【0060】

図9は図8の入出力装置のデータ送受信におけるタイミング図であり、このタイミング図を用いてデータ送受信動作を説明する。

まず、データ送信する場合を説明する。不図示のCPUによって比較一致レジスタ2aにシフトタイミング時間に対応する設定値を書き込む。具体的には、CPUがシフトタイミング時間に相当する時間までにベースタイマ1から出力されるカウント信号値（図9中に示したベースタイマ1aのカウント信号パルスに付した丸記号におけるカウント信号値）を設定値として比較一致レジスタ2aに格納する。

## 【0061】

次に、上記CPUからの制御信号などをトリガとしてベースタイマ1aがカウントを開始し、カウント信号の値と比較一致レジスタ2aの上記設定値とが一致すると、比較一致レジスタ2aが一致信号0をベースタイマ1a、RSフリップフロップ3及びセクタ6に出力する。

## 【0062】

セクタ6には、外部からのクロック信号及び一致信号0が入力しており、ここでは、一致信号0を送信シフトレジスタ回路4に出力する。一致信号0を入力すると送信シフトレジスタ回路4がシフトし、送信データSoutを出力する。このとき、図9に示すように、論理値1（Hレベル）の一致信号0を受けたベースタイマ1aがカウント信号値を0にクリアする。これによって、上記実施の形態1で示したような一致信号0を受けたCPUによって次のシフトタイミング時間に対応する設定値を比較一致レジスタ2aに書き込む必要がない。

即ち、最初に比較一致レジスタ2aに格納したシフトタイミング時間に対応す

る設定値を変更することなく、データ送信を行うことができる。

【0063】

以上の動作を繰り返すことによって、一定のタイミングで送信シフトレジスタ回路4をシフトさせて、送信データSoutを出力させることができる。また、最初に、比較一致レジスタ2aに所望のシフトタイミング時間に対応する設定値を設定しておけば、CPUに対する割り込み処理を行うことなく、所望のシフトタイミングで送信シフトレジスタ回路4をシフトさせて、送信データSoutを出力させることができる。

【0064】

次に、データ受信する場合を説明する。ここでは、データ送受信用の同期クロック信号としてRSフリップフロップ3が生成したクロック信号CLKoutを使用するので、このクロック信号CLKoutに同期してデータ送信先から受信すべきデータが送信されてくる。このとき、不図示のCPUによって比較一致レジスタ2bにシフトタイミング時間に対応する設定値が書き込まれている。具体的には、CPUがシフトタイミング時間に相当する時間までにベースタイマ1aから出力されるカウント信号値（図9中に示したベースタイマ1aのカウント信号パルスに付した星記号におけるカウント信号値）を設定値として比較一致レジスタ2bに格納する。

【0065】

上記CPUからの制御信号などをトリガとしてベースタイマ1aが所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ1aからのカウント信号の値は比較一致レジスタ2bの上記設定値と比較され、これらが一致すると比較一致レジスタ2bが一致信号1をRSフリップフロップ3及びセクタ7に出力する。また、この実施の形態3では不図示のCPUにも上記一致信号1を割り込み要求信号として出力する。

【0066】

セクタ7には、外部からのクロック信号及び一致信号1が入力しており、ここでは、一致信号1を受信シフトレジスタ回路5に出力する。一致信号1を入力すると受信シフトレジスタ回路5がシフトし、受信データSinをサンプリング

する。この後、一致信号 1 による割り込み要求信号を受けた CPU が次のシフトタイミング時間に対応する設定値（図 9 中に示したベースタイマ 1 a のカウント信号パルスに付した次の星記号におけるカウント信号値）を比較一致レジスタ 2 b に書き込む。

#### 【 0 0 6 7 】

以上の動作を繰り返すことによって、一定のタイミングで受信シフトレジスタ回路 5 をシフトさせて、受信データ S i n をサンプリングすることができる。また、CPU が実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ 2 b に書き込むシフトタイミング時間に対応する設定値を自由に設定できるようにしておけば、所望のシフトタイミングで受信シフトレジスタ回路 5 をシフトさせて、受信データ S i n をサンプリングすることができる。これによって、クロック信号 C L K o u t に同期せずに送信先から送信されてきたデータに対しても、比較一致レジスタ 2 b に書き込むシフトタイミング時間に対応する設定値を適宜変更することで対応することができる。

#### 【 0 0 6 8 】

また、上記では、データ送受信用の同期クロック信号として RS フリップフロップ 3 が生成したクロック信号 C L K o u t を使用する例を示したが、セクタ 6, 7 が外部からのクロック信号をデータ送受信用の同期クロック信号として選択してもよい。この場合、送信シフトレジスタ回路 4 や受信シフトレジスタ回路 5 が、外部からのクロック信号をシフトタイミングとして、従来のシリアル入出力装置の動作と同様にデータ送受信するようになる。

#### 【 0 0 6 9 】

以上のように、この実施の形態 3 によれば、ベースタイマ 1 a が比較一致レジスタ 2 a からの一致信号 0 を入力するごとにカウント信号の値を 0 にクリアするので、CPU に対する割り込み処理の回数を削減することができるとともに、比較一致レジスタ 2 a, 2 b に所望の設定値を設定することで、データ送受信の各タイミング信号を自由に変更することができる。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができる。

## 【 0 0 7 0 】

実施の形態 4 .

図 1 0 はこの発明の実施の形態 4 による入出力装置の構成を示すブロック図である。図において、8 は O R 回路であって、比較一致レジスタ 2 a からの一致信号 0 と受信データ S i n の立ち下がりエッジ信号値との論理和をベースタイマ 1 a に出力する。なお、図 1 及び図 8 と同一構成要素には同一符号を付して重複する説明を省略する。

## 【 0 0 7 1 】

次に動作について説明する。

ここでは、実施の形態 4 による入出力装置自身が生成したクロック信号に同期してデータ送受信する場合について説明する。この場合、セクタ 6 では一致信号 0 を選択し、セクタ 7 では一致信号 1 を選択して送信シフトレジスタ回路 4 、受信シフトレジスタ回路 5 に出力する。また、データ送受信する相手には、データ送受信用の同期クロック信号が必要となるが、この実施の形態 4 では R S フリップフロップ 3 が生成したクロック信号 C L K o u t を使用する。

## 【 0 0 7 2 】

図 1 1 は図 1 0 の入出力装置のデータ送受信におけるタイミング図であり、このタイミング図を用いてデータ送受信動作を説明する。

先ず、データ送信する場合を説明する。不図示の C P U によって比較一致レジスタ 2 a にシフトタイミング時間に対応する設定値を書き込む。具体的には、C P U がシフトタイミング時間に相当する時間までにベースタイマ 1 から出力されるカウント信号値（図 1 1 中に示したベースタイマ 1 a のカウント信号パルスに付した丸記号におけるカウント信号値）を設定値として比較一致レジスタ 2 a に格納する。

## 【 0 0 7 3 】

次に、上記 C P U からの制御信号などをトリガとしてベースタイマ 1 a がカウントを開始し、カウント信号の値と比較一致レジスタ 2 a の上記設定値とが一致すると、比較一致レジスタ 2 a が一致信号 0 を R S フリップフロップ 3 、セクタ 6 及び O R 回路 8 に出力する。

## 【 0 0 7 4 】

セクタ 6 には、外部からのクロック信号及び一致信号 0 が入力しており、ここでは、一致信号 0 を送信シフトレジスタ回路 4 に出力する。一致信号 0 を入力すると送信シフトレジスタ回路 4 がシフトし、送信データ S o u t を出力する。このとき、図 1 1 に示すように、論理値 1 (H レベル) の一致信号 0 を受けた O R 回路 8 は受信データ S i n の立ち下がりエッジ信号値が論理値 0, 1 のいずれであっても、H レベルの出力値をベースタイマ 1 a に出力する。O R 回路 8 からの H レベルの出力値を受けると、ベースタイマ 1 a はカウント信号値を 0 にクリアする。これによって、上記実施の形態 1 で示したような一致信号 0 を受けた C P U によって次のシフトタイミング時間に対応する設定値を比較一致レジスタ 2 a に書き込む必要がない。

即ち、最初に比較一致レジスタ 2 a に格納したシフトタイミング時間に対応する設定値を変更することなく、データ送信を行うことができる。

## 【 0 0 7 5 】

以上の動作を繰り返すことによって、一定のタイミングで送信シフトレジスタ回路 4 をシフトさせて、送信データ S o u t を出力させることができる。また、最初に、比較一致レジスタ 2 a に所望のシフトタイミング時間に対応する設定値を設定しておけば、C P U に対する割り込み処理を行うことなく、所望のシフトタイミングで送信シフトレジスタ回路 4 をシフトさせて、送信データ S o u t を出力させることができる。

## 【 0 0 7 6 】

次に、データ受信する場合を説明する。ここでは、データ送受信用の同期クロック信号として R S フリップフロップ 3 が生成したクロック信号 C L K o u t を使用するので、このクロック信号 C L K o u t に同期してデータ送信先から受信すべきデータが送信されてくる。このとき、不図示の C P U によって比較一致レジスタ 2 b にシフトタイミング時間に対応する設定値が書き込まれている。具体的には、C P U がシフトタイミング時間に相当する時間までにベースタイマ 1 a から出力されるカウント信号値 (図 1 1 中に示したベースタイマ 1 a のカウント信号パルスに付した星記号におけるカウント信号値) を設定値として比較一致レ

ジスタ 2 b に格納する。

【 0 0 7 7 】

上記 CPU からの制御信号などをトリガとしてベースタイマ 1 a が所定値までのカウント信号を所定の時間ごとに出力する。このベースタイマ 1 a からのカウント信号の値は比較一致レジスタ 2 b の上記設定値と比較され、これらが一致すると比較一致レジスタ 2 b が一致信号 1 を RS フリップフロップ 3 及びセクタ 7 に出力する。また、この実施の形態 4 では不図示の CPU にも上記一致信号 1 を割り込み要求信号として出力する。

【 0 0 7 8 】

セクタ 7 には、外部からのクロック信号及び一致信号 1 が入力しており、ここでは、一致信号 1 を受信シフトレジスタ回路 5 に出力する。一致信号 1 を入力すると受信シフトレジスタ回路 5 がシフトし、受信データ S i n をサンプリングする。このとき、データ受信に障害が生じた場合、この実施の形態 4 では受信データの立ち上がりエッジや立ち下がりエッジのタイミングでベースタイマ 1 a のカウント信号値を 0 にクリアすることで、データ送受信の途中でも同期をとることができる。

【 0 0 7 9 】

具体的に説明すると、受信データ S i n を受信シフトレジスタ回路 5 が格納する際、比較一致レジスタ 2 a からの一致信号 0 は論理値 0 ( L レベル ) であるので、OR 回路 8 の 1 つの入力には論理値 0 ( L レベル ) の信号が入力している。このとき、例えば受信データ S i n の立ち下がりエッジを検出すると、論理値 1 の信号を出力する不図示のエッジ検出器を設けることで、受信データ S i n の立ち下がりエッジを検出するごとに、OR 回路 8 が論理値 1 ( H レベル ) の出力信号をベースタイマ 1 a に出力する。これによって、受信データ S i n の立ち下がりエッジを検出するごとに、ベースタイマ 1 a がカウント信号値を 0 にクリアする。この後、一致信号 1 による割り込み要求信号を受けた CPU が次のシフトタイミング時間に対応する設定値 ( 図 1 1 中に示したベースタイマ 1 a のカウント信号パルスに付した次の星記号におけるカウント信号値 ) を比較一致レジスタ 2 b に書き込む。

このようにすることで、1パルスの受信データ *S i n* を受信シフトレジスタ回路5が格納した時点から次のシフトタイミング時間に対応する設定値を比較一致レジスタ2bに設定することができ、データ送受信の途中でも同期をとることができる。

#### 【0080】

以上の動作を繰り返すことによって、一定のタイミングで受信シフトレジスタ回路5をシフトさせて、受信データ *S i n* をサンプリングすることができる。また、CPUが実行するデータ送受信に係るプログラムにおいて、比較一致レジスタ2bに書き込むシフトタイミング時間に対応する設定値を自由に設定できるようにしておけば、所望のシフトタイミングで受信シフトレジスタ回路5をシフトさせて、受信データ *S i n* をサンプリングすることができる。これによって、クロック信号 *C L K o u t* に同期せずに送信先から送信されてきたデータに対しても、比較一致レジスタ2bに書き込むシフトタイミング時間に対応する設定値を適宜変更することで対応することができる。

#### 【0081】

また、上記では、データ送受信用の同期クロック信号としてRSフリップフロップ3が生成したクロック信号 *C L K o u t* を使用する例を示したが、セクタ6、7が外部からのクロック信号をデータ送受信用の同期クロック信号として選択してもよい。この場合、送信シフトレジスタ回路4や受信シフトレジスタ回路5が、外部からのクロック信号をシフトタイミングとして、従来のシリアル入出力装置の動作と同様にデータ送受信するようになる。

#### 【0082】

以上のように、この実施の形態4によれば、OR回路8によって受信シフトレジスタ回路5が受信するデータ *S i n* の立ち上がり又は立ち下がりエッジのタイミングに応じてベースタイマ1aがカウント信号の値を0にクリアするので、データ受信に障害が生じた場合においてもデータ送受信の途中でも同期をとることができる。

#### 【0083】

なお、上記実施の形態1、2では、CPUに対する割り込み処理で比較一致レ



レジスタ 2 a, 2 b に対する設定を行う例を示したが、DMA (Direct Memory Access) 転送機能を用いて、CPU を介さず設定値を記憶する記憶手段から比較一致レジスタ 2 a, 2 b に対する設定を行うようにしてもよい。このようにすることで、比較一致レジスタ 2 a, 2 b に対する設定処理における CPU の負荷を低減することができる。また、上記実施の形態 3, 4 では、比較一致レジスタ 2 a, 2 b の設定内容の書き換えを省略した例を示しているが、送受信する相手との間で使用するシリアル通信プロトコルによって比較一致レジスタ 2 a, 2 b の設定内容を書き換えなければならない場合がある。このような場合、上記実施の形態 1, 2 で示した CPU に対する割り込み処理で行ってもよく、DMA 転送機能を用いてもよい。

## 【0084】

また、上記の他の比較一致レジスタ 2 a, 2 b の設定内容の書き換えを行う構成について説明する。

図 12 は比較一致レジスタの設定内容の書き換えを行うリロードレジスタを有する入出力装置の構成を示すブロック図である。図において、9 a, 9 b は比較一致レジスタ 2 a, 2 b にそれぞれ設けたリロードレジスタ（リロードレジスタ回路）で、所定の設定値を比較一致レジスタ 2 a, 2 b の一致信号 0, 1 に同期して逐次比較一致レジスタ 2 a, 2 b に設定する。なお、図 1 と同一構成要素には同一符号を付して重複する説明を省略する。

## 【0085】

次に概要について説明する。

リロードレジスタ 9 a, 9 b には、それぞれ送信シフトレジスタ回路 4 及び受信シフトレジスタ回路 5 によるデータ送受信において比較一致レジスタ 2 a, 2 b に設定すべき全ての設定値が格納されている。これらリロードレジスタ 9 a, 9 b は、比較一致レジスタ 2 a, 2 b からの一致信号 0, 1 をそれぞれ受けるごとに上記設定値を逐次比較一致レジスタ 2 a, 2 b に出力し設定する。

このようにすることで、CPU に対する割り込み処理や DMA 転送機能を使用することなく、比較一致レジスタの設定内容を書き換えることが可能である。

また、リロードレジスタ 9 a, 9 b を用いる方法は、例えば転送レートが速す

ぎて、CPUに対する割り込み処理やDMA転送機能によってでは比較一致レジスタの設定内容の書き換えが間に合わない場合に有効である。

このリロードレジスタ9a, 9bを用いる構成は、上記実施の形態1から実施の形態4の全てに適用することができる。

#### 【0086】

図13は比較一致レジスタの設定内容の書き換えを行うアダーを有する入出力装置の構成を示すブロック図である。図において、10は比較一致レジスタ2a, 2b間に設けたアダー（加算器）で、比較一致レジスタ2a, 2bの一致信号0, 1に同期して一定値（転送レート）を逐次加算して、次に比較一致レジスタ2a, 2bに設定すべき設定値を算出する。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

#### 【0087】

次に概要について説明する。

送信シフトレジスタ回路4及び受信シフトレジスタ回路5によるデータ送受信において、比較一致レジスタ2a, 2bからの一致信号0, 1をそれぞれ受けるごとに、アダー10が転送レートに相当する所定値をそれぞれ比較一致レジスタ2a, 2bに加算する。

このようにすることで、CPUに対する割り込み処理やDMA転送機能を使用することなく、比較一致レジスタ2a, 2bの設定内容を自動的に書き換えることが可能である。

このアダー10を用いる構成は、上記実施の形態1から実施の形態4の全てに適用することができる。

#### 【0088】

#### 【発明の効果】

以上のように、この発明によれば、所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、データの送受信タイミングに対応する設定値を格納し、タイマ回路からのカウント信号値と設定値とが一致するごとに一致信号を出力する比較一致レジスタ回路と、外部からのクロック信号とともに、比較一致レジスタ回路からの一致信号を入力し、これらのうちいずれかを選択してデータシ

フトクロック信号として出力するクロック選択回路と、このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路とを備えるので、比較一致レジスタ回路に所望の設定値を設定することで、データ送受信の各タイミング信号を自由に変更することができるという効果がある。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができるという効果がある。

## 【 0 0 8 9 】

この発明によれば、比較一致レジスタ回路がデータの送信タイミングに対応する設定値を格納する送信用比較一致レジスタ回路と、データの受信タイミングに対応する設定値を格納する受信用比較一致レジスタ回路とからなり、タイマ回路からのカウント信号値と設定値とが一致するごとに、一致信号としてそれぞれ送信用一致信号、受信用一致信号を出力し、タイマ回路が送信用比較一致レジスタ回路からの送信用一致信号又は受信用比較一致レジスタ回路からの受信用一致信号を入力するごとにカウント信号の値を 0 にクリアするので、CPU に対する割り込み処理の回数を削減することができるという効果がある。また、比較一致レジスタ回路に所望の設定値を設定することで、データ送受信の各タイミング信号を自由に変更することができ、さらに、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができるという効果がある。

## 【 0 0 9 0 】

この発明によれば、所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、データ送受信用の同期クロック信号の周期に対応する設定値を格納し、タイマ回路からのカウント信号値と設定値とが一致するごとに、互いに異なる値の一致信号を逐次出力する比較一致レジスタ回路と、この比較一致レジスタ回路からの互いに異なる値の一致信号を入力し、これらのそれぞれに対応して設定される論理値からなるデータ送受信用の同期クロック信号を出力するフリップフロップ回路と、外部からのクロック信号とともに、フリップフロップ回路からのデータ送受信用の同期クロック信号を入力し、これらのうちいずれかを選択し

てデータシフトクロック信号として出力するクロック選択回路と、このクロック選択回路からのデータシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路とを備えるので、比較一致レジスタ回路に所望の設定値を設定することで、データ送受信の同期クロック信号を自由に変更することができるという効果がある。また、既存のタイマ機能をそのまま使用することができ、本願発明を実現するために必要なハードウェア資源の追加を低減することができるという効果がある。

## 【 0 0 9 1 】

この発明によれば、比較一致レジスタ回路から出力される一致信号を入力し、この一致信号に対応して設定される論理値からなるデータ送受信の同期クロック信号を出力するフリップフロップ回路を備えるので、比較一致レジスタ回路に所望の設定値を設定することで、データ送受信の同期クロック信号を自由に変更することができるという効果がある。

## 【 0 0 9 2 】

この発明によれば、タイマ回路が、データシフトレジスタ回路が受信するデータ信号の立ち上がり又は立ち下がりエッジのタイミングに応じてカウント信号の値を0にクリアするので、データ受信に障害が生じた場合においてもデータ送受信の途中でも同期をとることができるという効果がある。

## 【 0 0 9 3 】

この発明によれば、比較一致レジスタ回路がDMA (Direct Memory Access) によって設定値を格納するので、比較一致レジスタ回路の設定処理におけるCPUの負荷を低減することができるという効果がある。

## 【 0 0 9 4 】

この発明によれば、タイマ回路からのカウント信号値と設定値とが一致するごとに、比較一致レジスタ回路に新たな設定値を転送するリロードレジスタ回路を備えるので、CPUに対する割り込み処理やDMA転送機能を使用することなく、比較一致レジスタ回路の設定内容を書き換えることができるという効果がある。また、転送レートが速すぎて、CPUに対する割り込み処理やDMA転送機能によってでは比較一致レジスタ回路の設定内容の書き換えが間に合わない場合に

対応することができるという効果がある。

【0095】

この発明によれば、タイマ回路からのカウント信号値と設定値とが一致するとに、転送レートに対応する所定値を比較一致レジスタ回路に加算して新たな設定値を算出する加算器を備えたので、CPUに対する割り込み処理やDMA転送機能を使用することなく、比較一致レジスタ回路の設定内容を自動的に書き換えることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による入出力装置の構成を示すブロック図である。

【図2】 図1の入出力装置のデータ送受信におけるタイミング図である。

【図3】 実施の形態1による入出力装置の比較一致レジスタの一構成例を示す回路図である。

【図4】 実施の形態1による入出力装置の送信シフトレジスタ回路の一構成例を示す回路図である。

【図5】 実施の形態1による入出力装置の受信シフトレジスタ回路の一構成例を示す回路図である。

【図6】 この発明の実施の形態2による入出力装置の構成を示すブロック図である。

【図7】 図6の入出力装置のデータ送受信におけるタイミング図である。

【図8】 この発明の実施の形態3による入出力装置の構成を示すブロック図である。

【図9】 図8の入出力装置のデータ送受信におけるタイミング図である。

【図10】 この発明の実施の形態4による入出力装置の構成を示すブロック図である。

【図11】 図10の入出力装置のデータ送受信におけるタイミング図である。

【図12】 比較一致レジスタの設定内容の書き換えを行うリロードレジスタを有する入出力装置の構成を示すブロック図である。

【図 1 3】 比較一致レジスタの設定内容の書き換えを行うアダーを有する入出力装置の構成を示すブロック図である。

【図 1 4】 従来の入出力装置の構成を示すブロック図である。

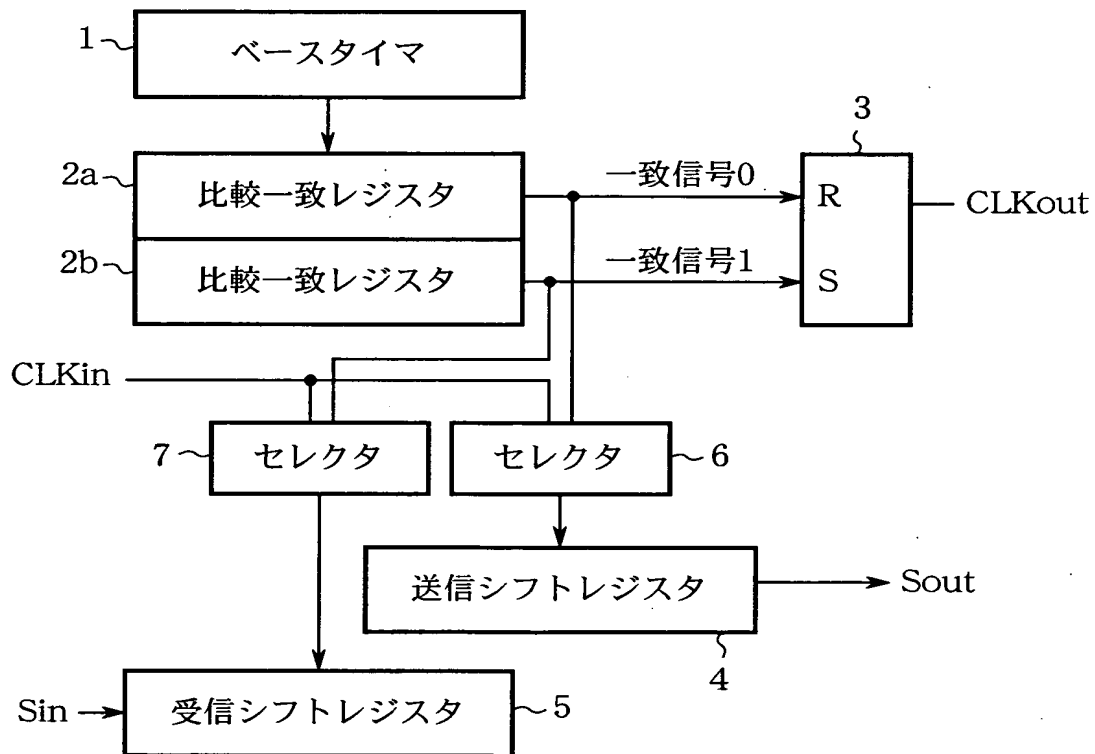
【図 1 5】 図 1 4 の入出力装置のデータ送受信におけるタイミング図である。

【符号の説明】

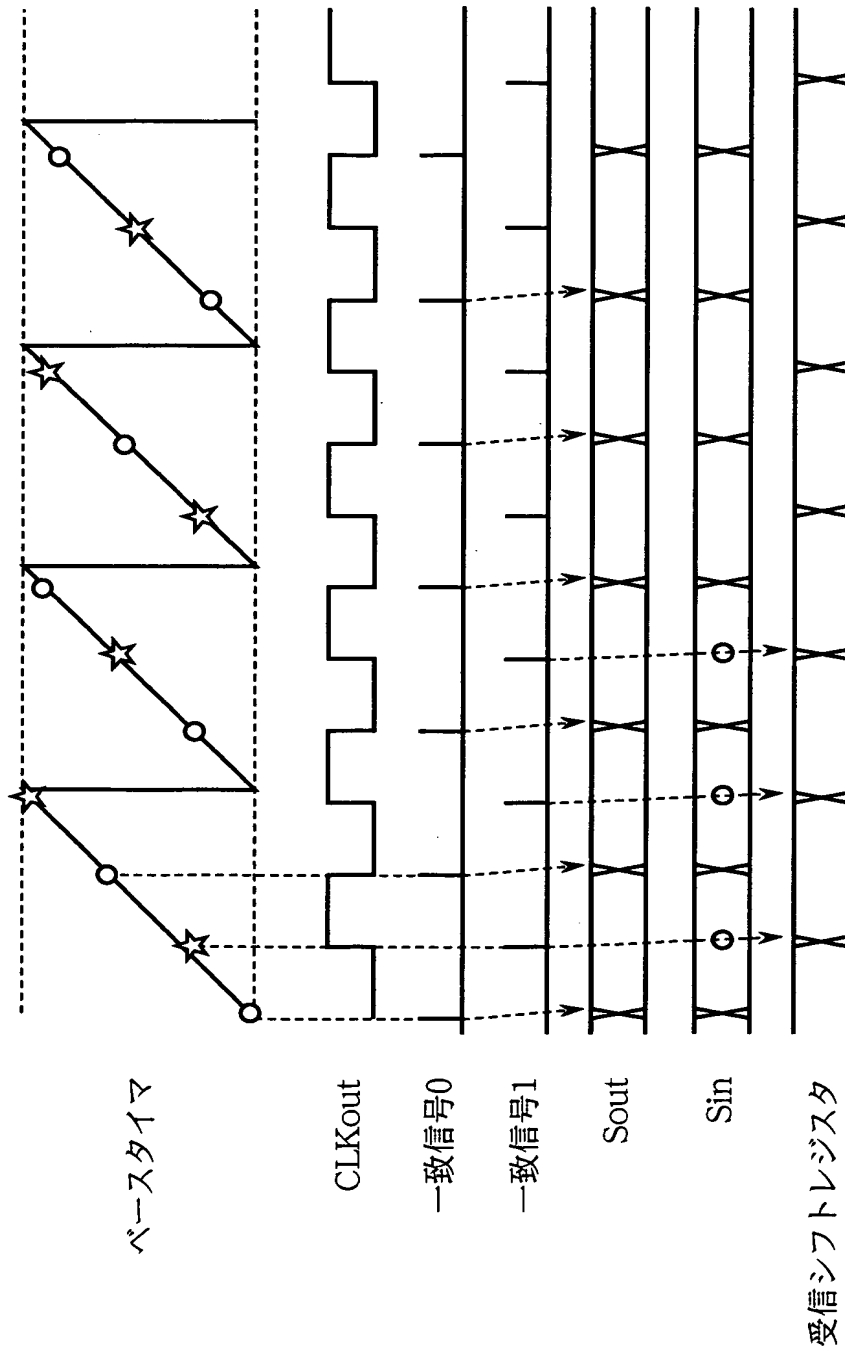
1, 1 a ベースタイマ (タイマ回路)、2, 2 a 比較一致レジスタ (送信用比較一致レジスタ回路、比較一致レジスタ回路)、2 b 比較一致レジスタ (受信用比較一致レジスタ回路、比較一致レジスタ回路)、2 A 論理一致素子、2 B データラッチ、2 C トライステートバッファ、2 D AND回路、3 RSフリップフロップ (フリップフロップ回路)、4 送信シフトレジスタ回路 (データシフトレジスタ回路)、4 a 送信シフトレジスタ (データシフトレジスタ回路)、4 b 送信バッファレジスタ (データシフトレジスタ回路)、4 c 書き込み回路 (データシフトレジスタ回路)、4 A, 4 B データラッチ、4 C NOT回路、4 D, 4 E AND回路、5 受信シフトレジスタ回路 (データシフトレジスタ回路)、5 a 受信シフトレジスタ (データシフトレジスタ回路)、5 b 受信バッファレジスタ (データシフトレジスタ回路)、5 A, 5 B データラッチ、6, 6 a セレクタ (クロック選択回路)、7, 7 a セレクタ (クロック選択回路)、8 OR回路、9 a, 9 b リロードレジスタ (リロードレジスタ回路)、1 0 アダー (加算器)。

【書類名】 図面

【図 1】

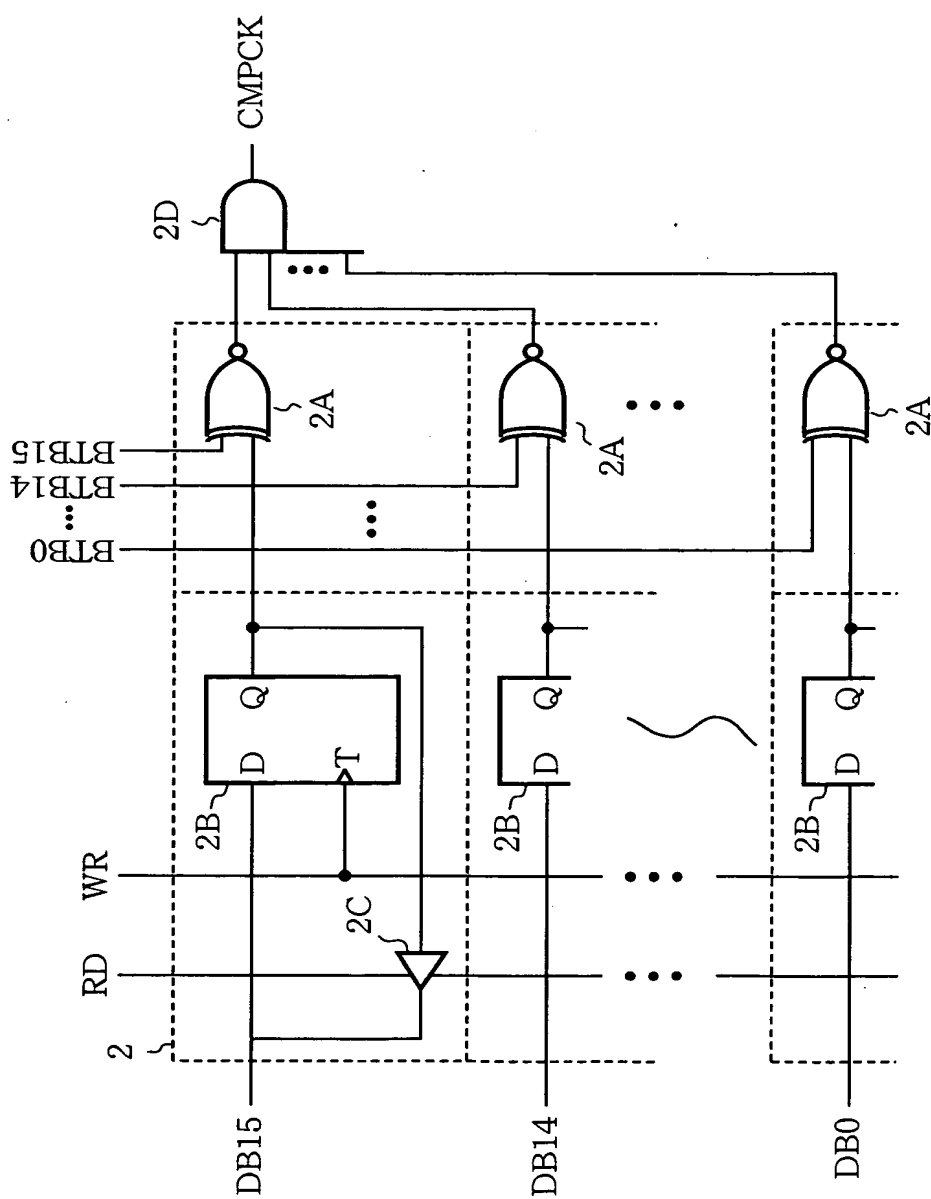


【図 2】

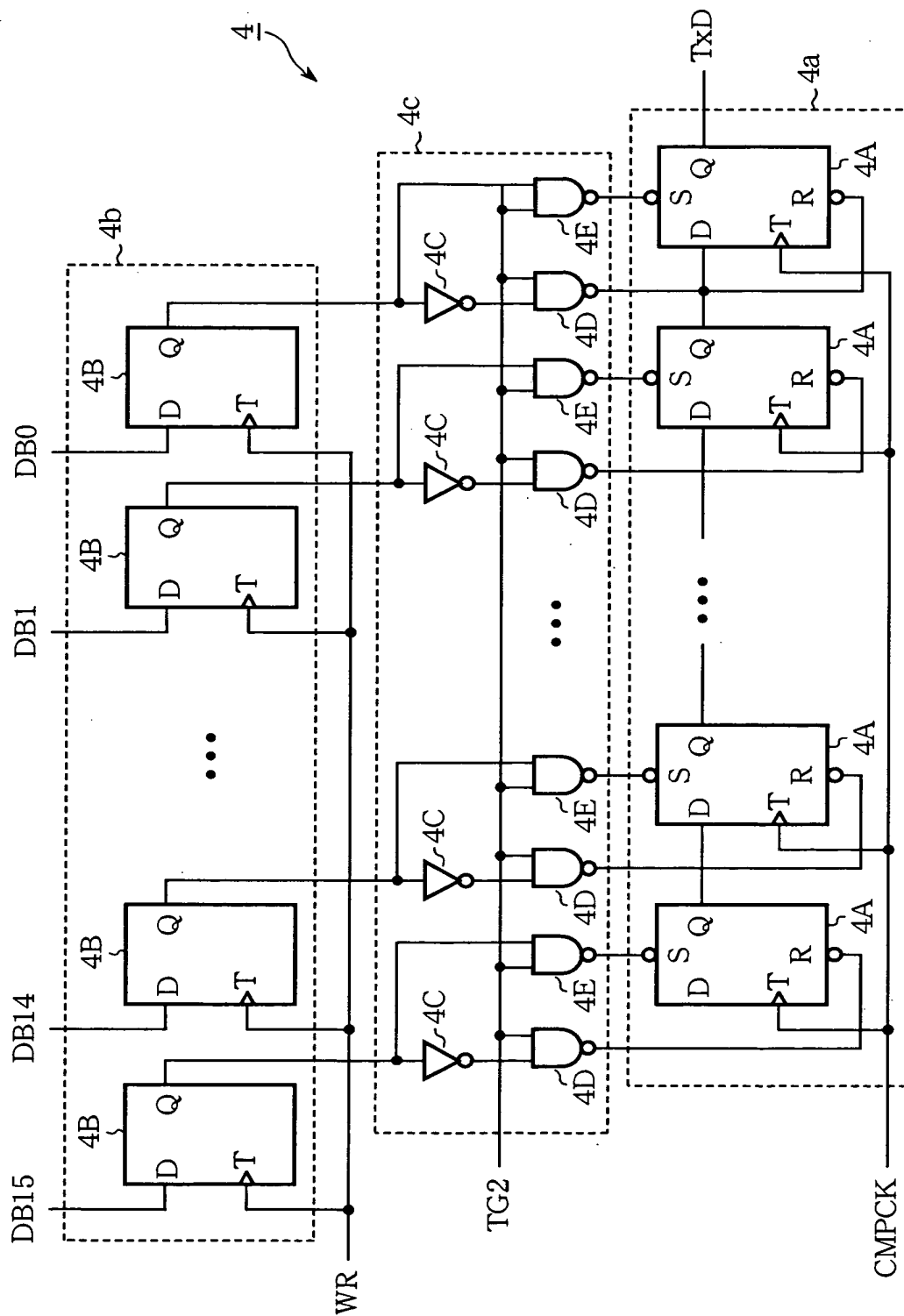




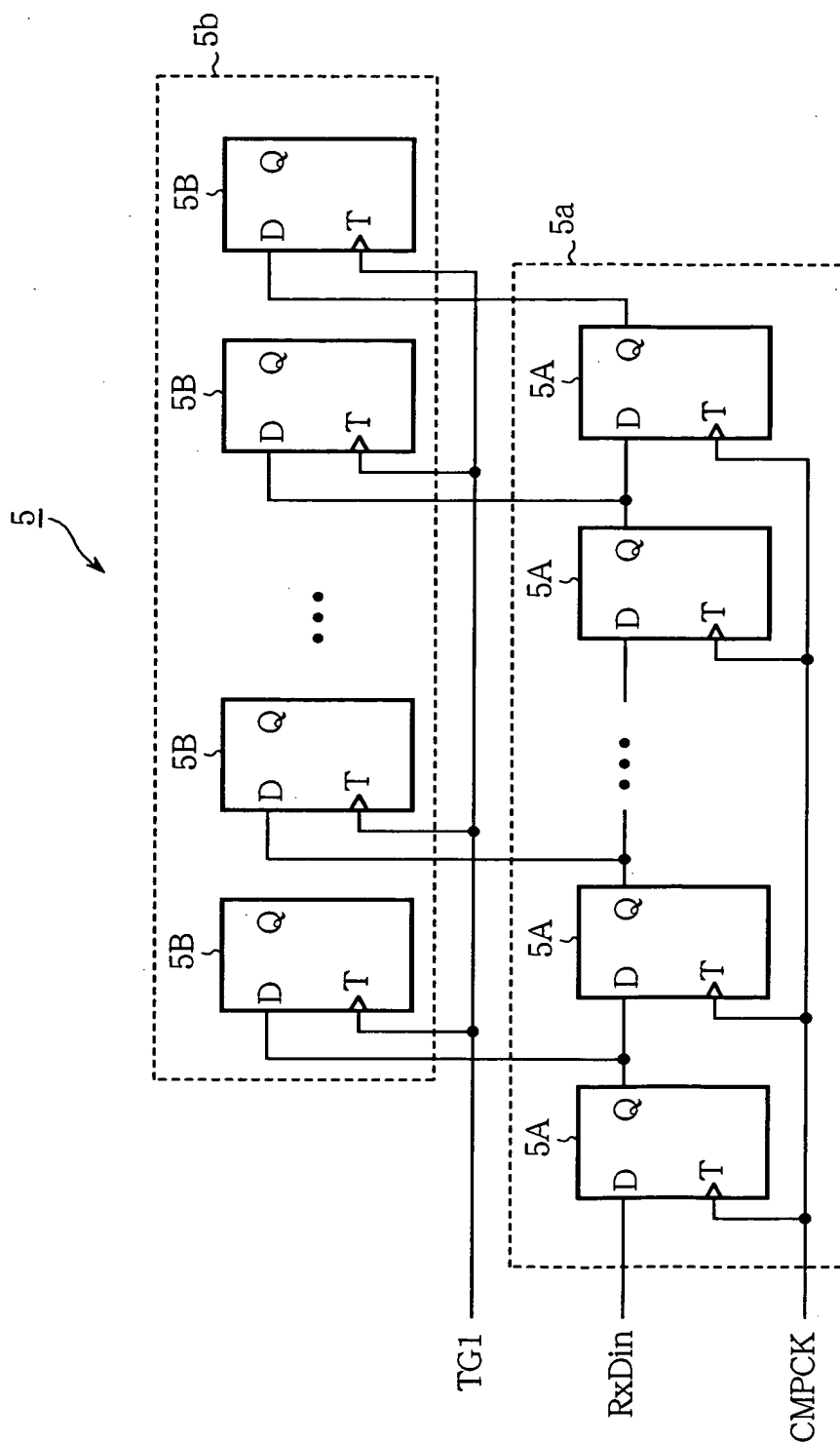
【図 3】



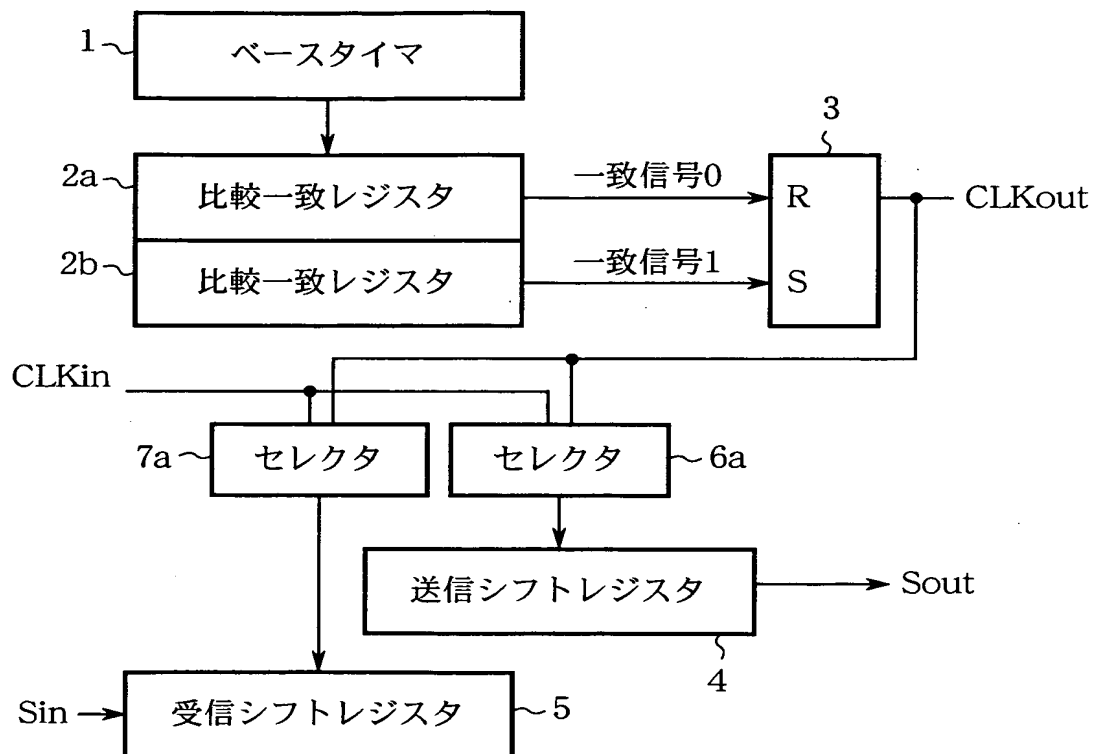
【図 4】



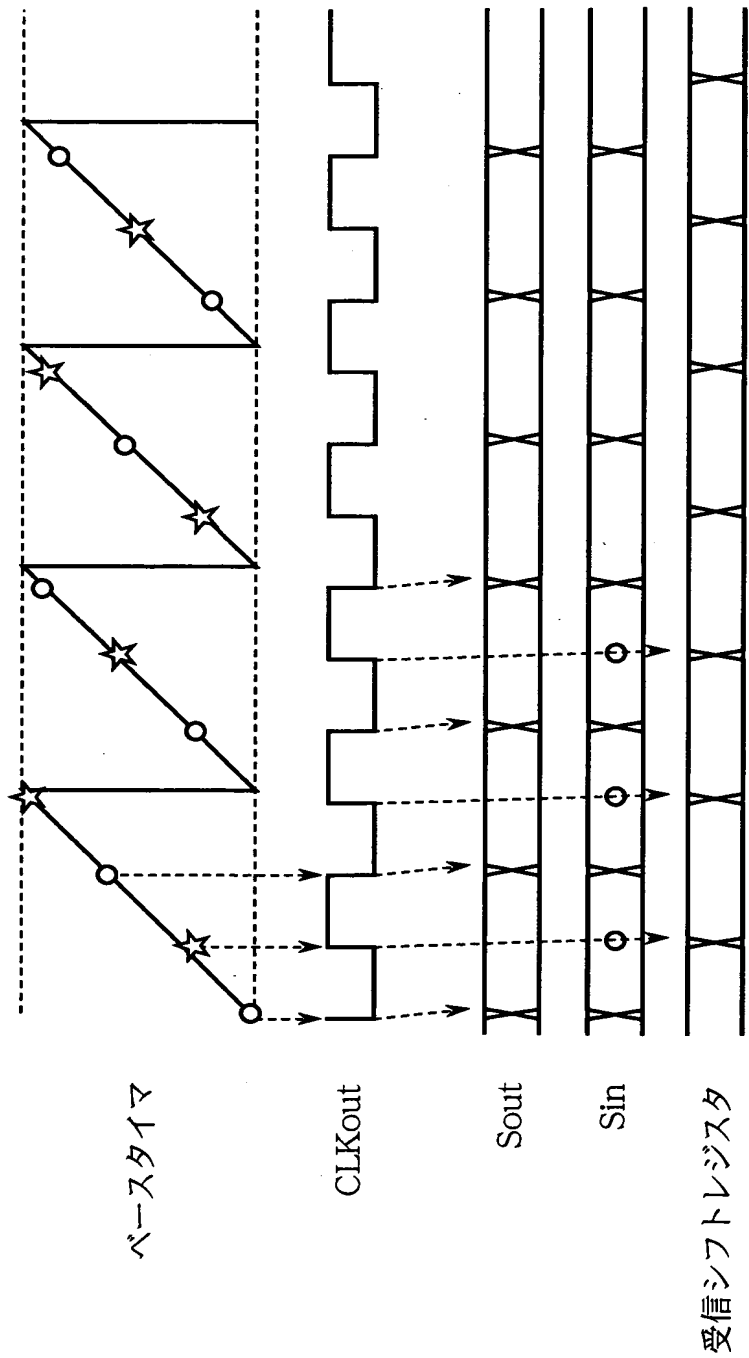
【図 5】



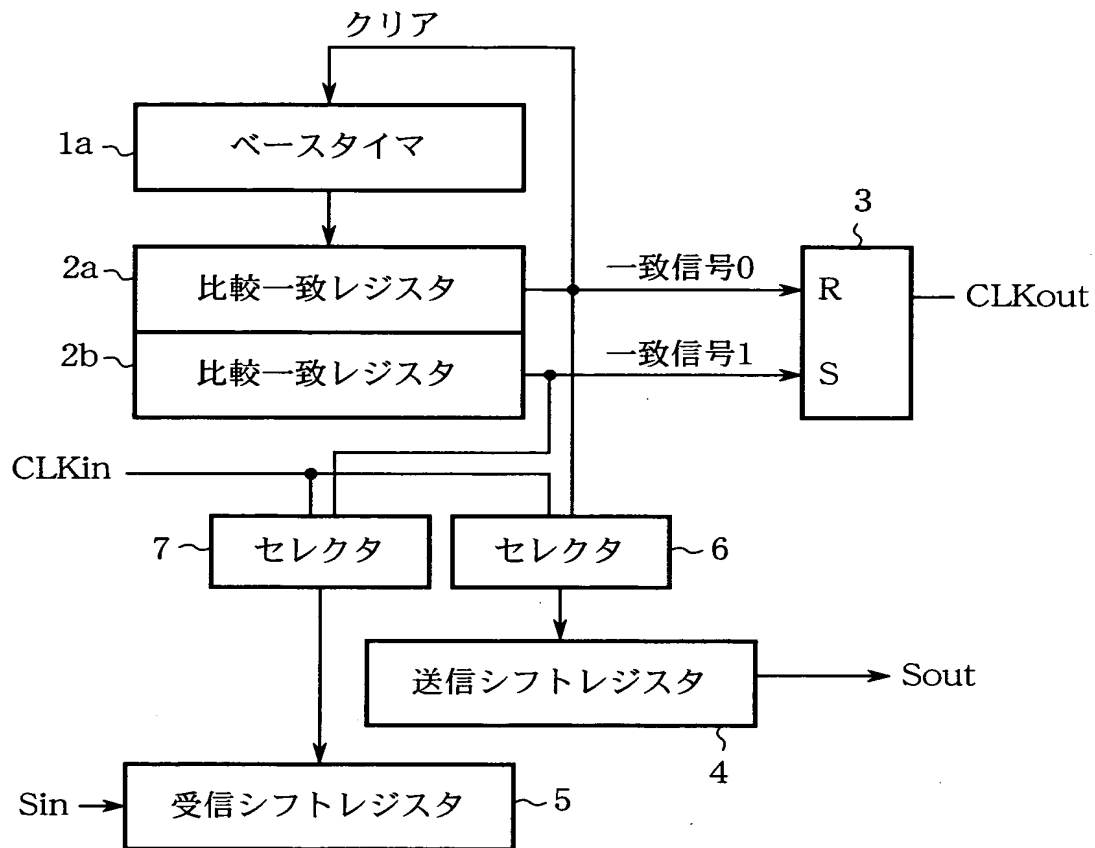
【図 6】



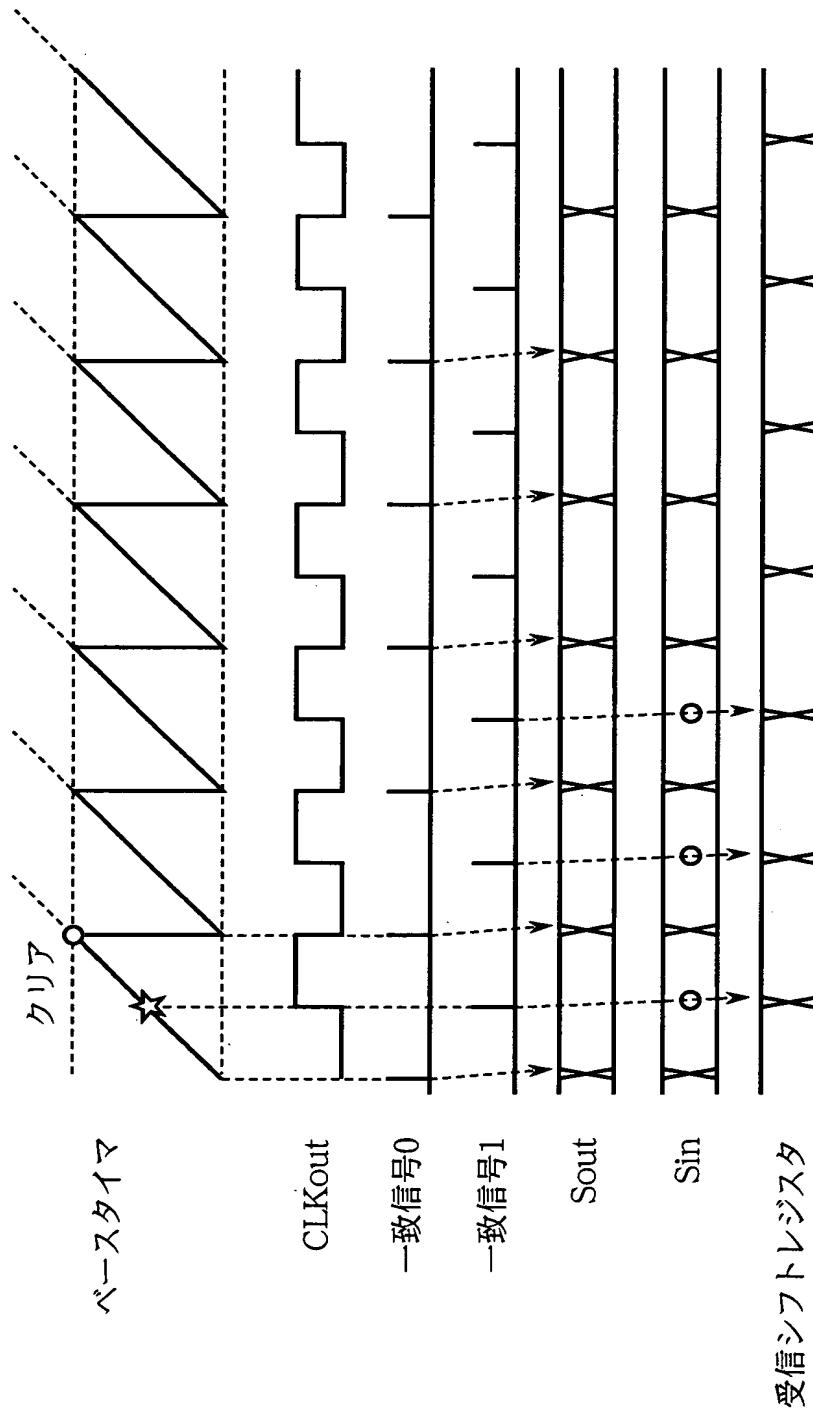
【図 7】



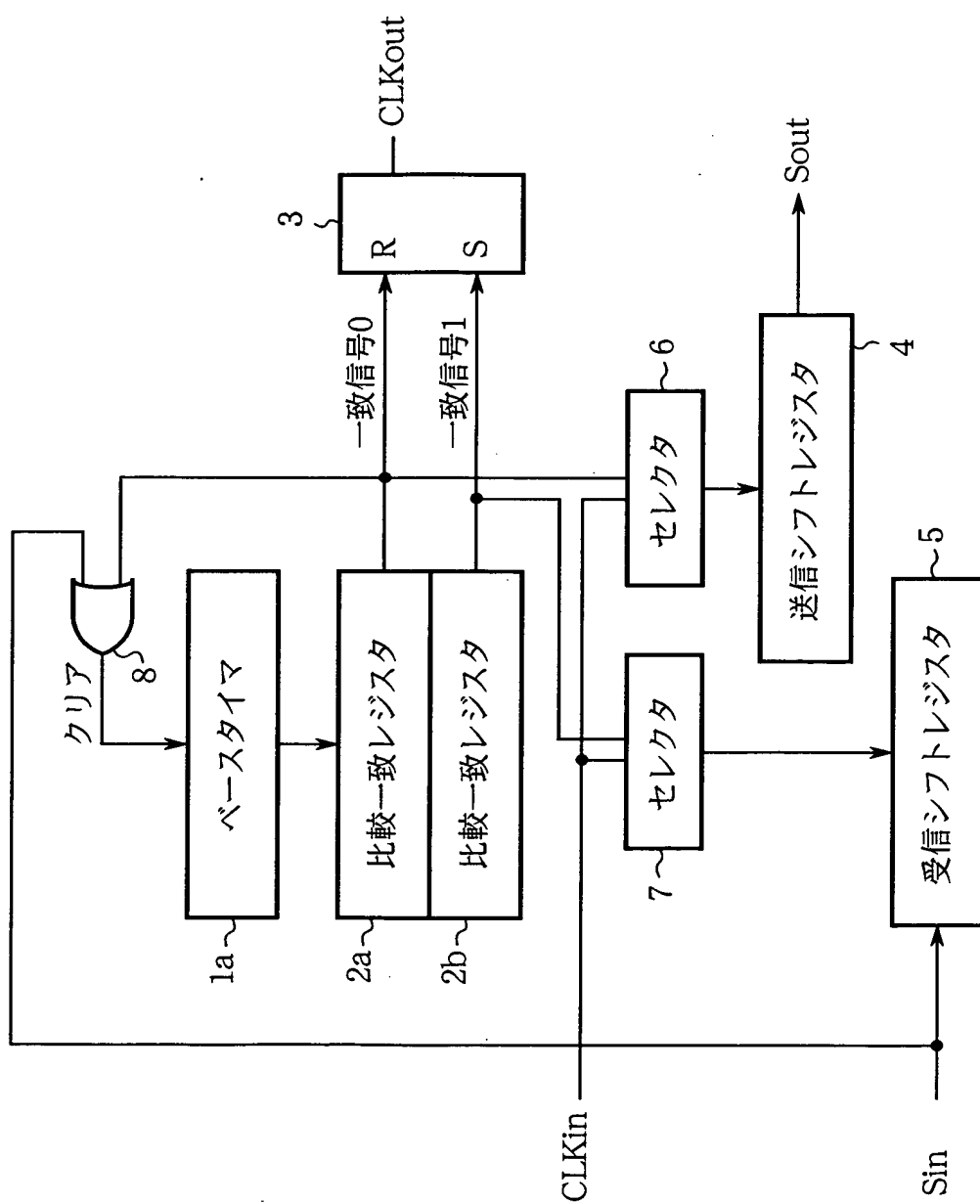
【図 8】



【図 9】

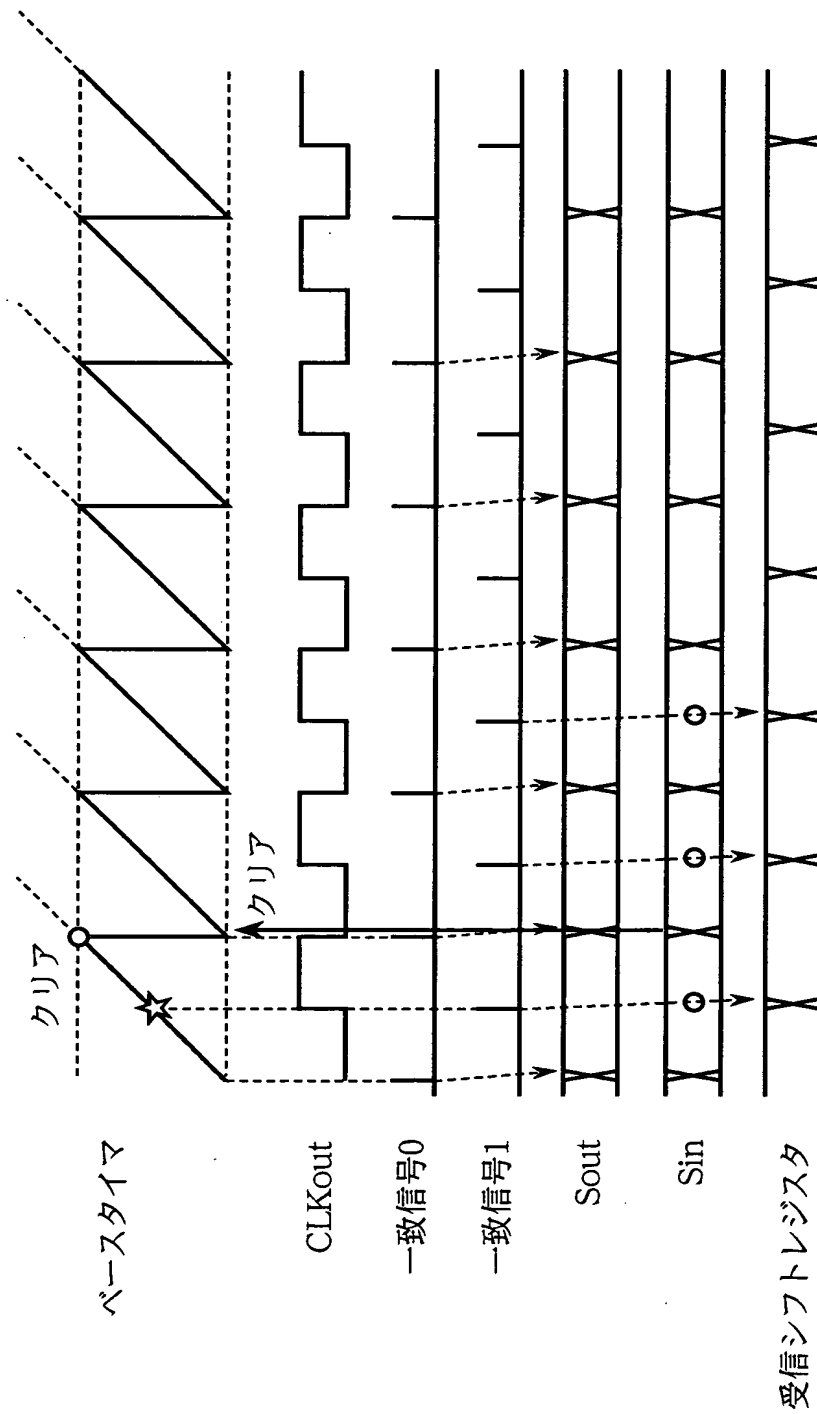


【図 10】

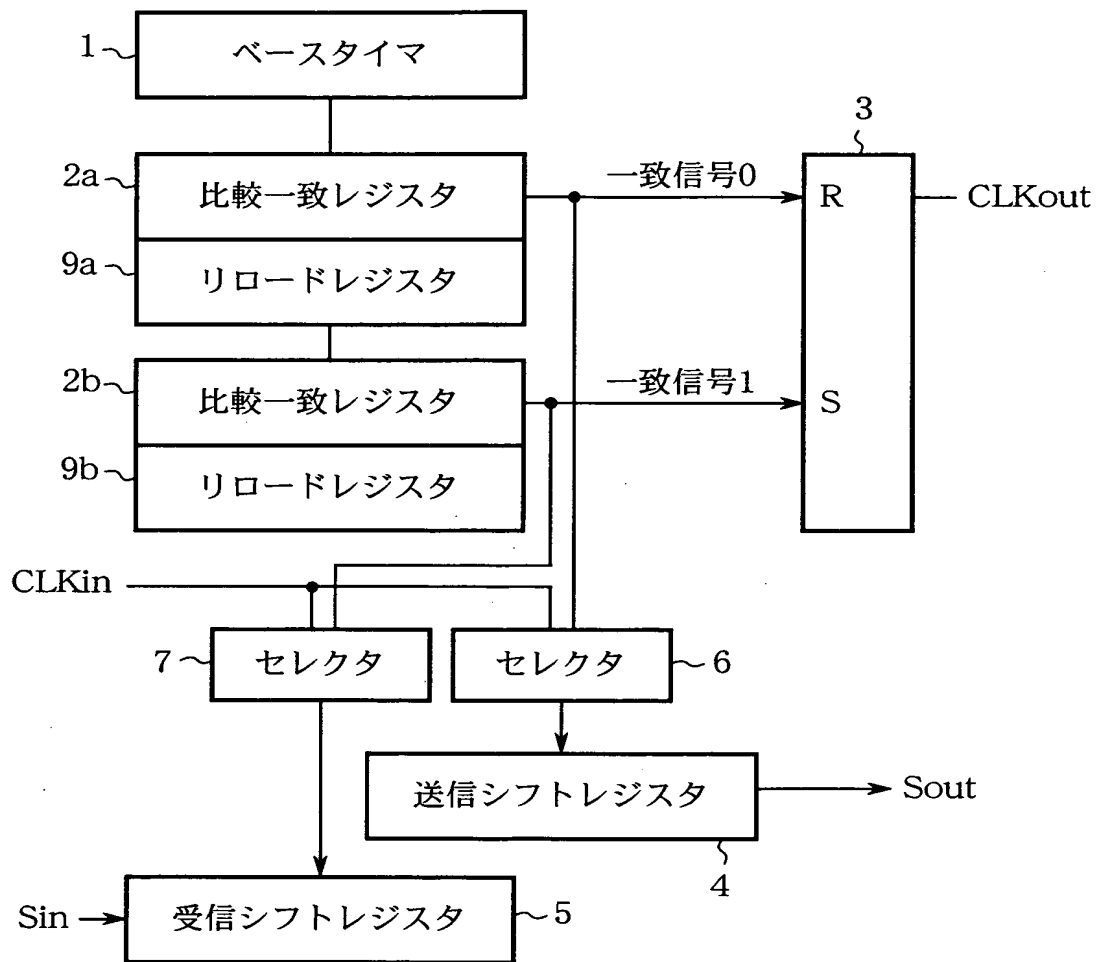




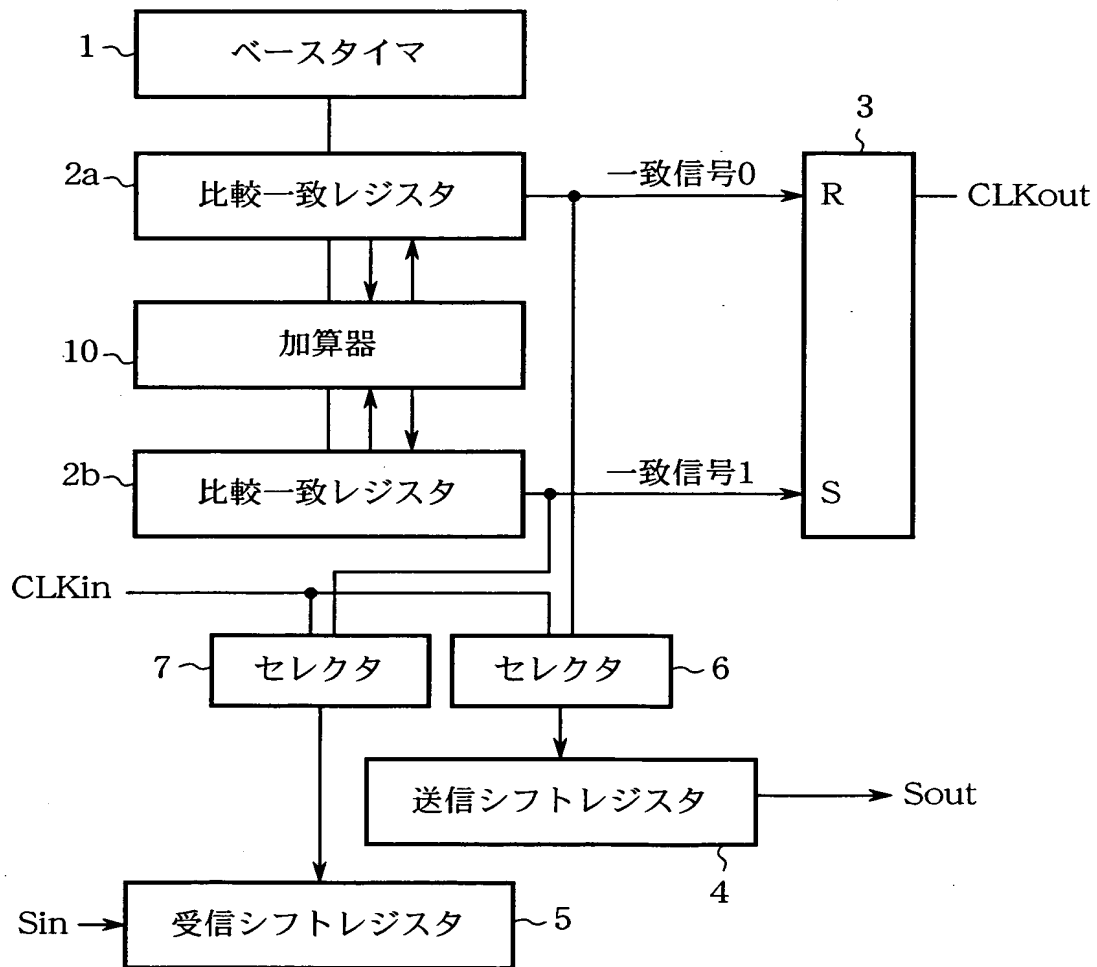
【図 1 1】



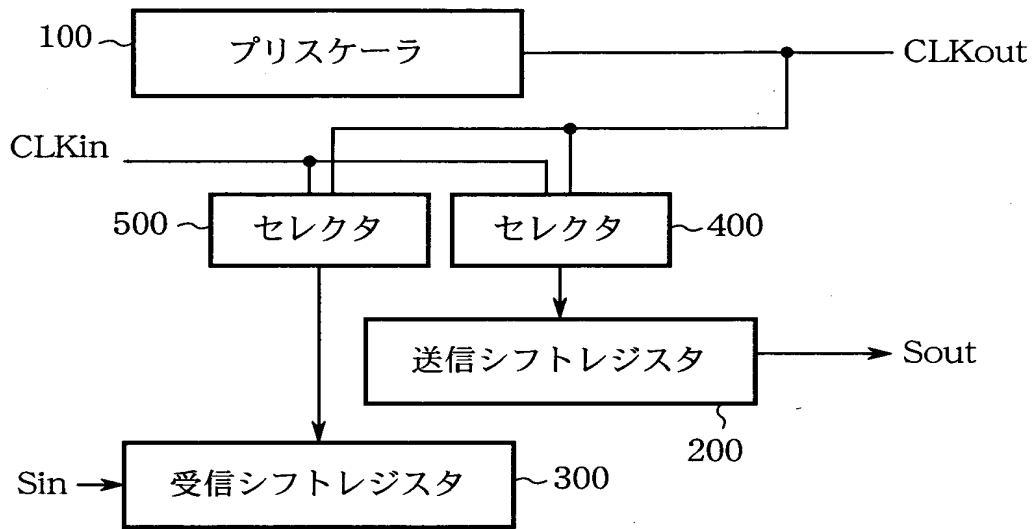
【図 1 2】



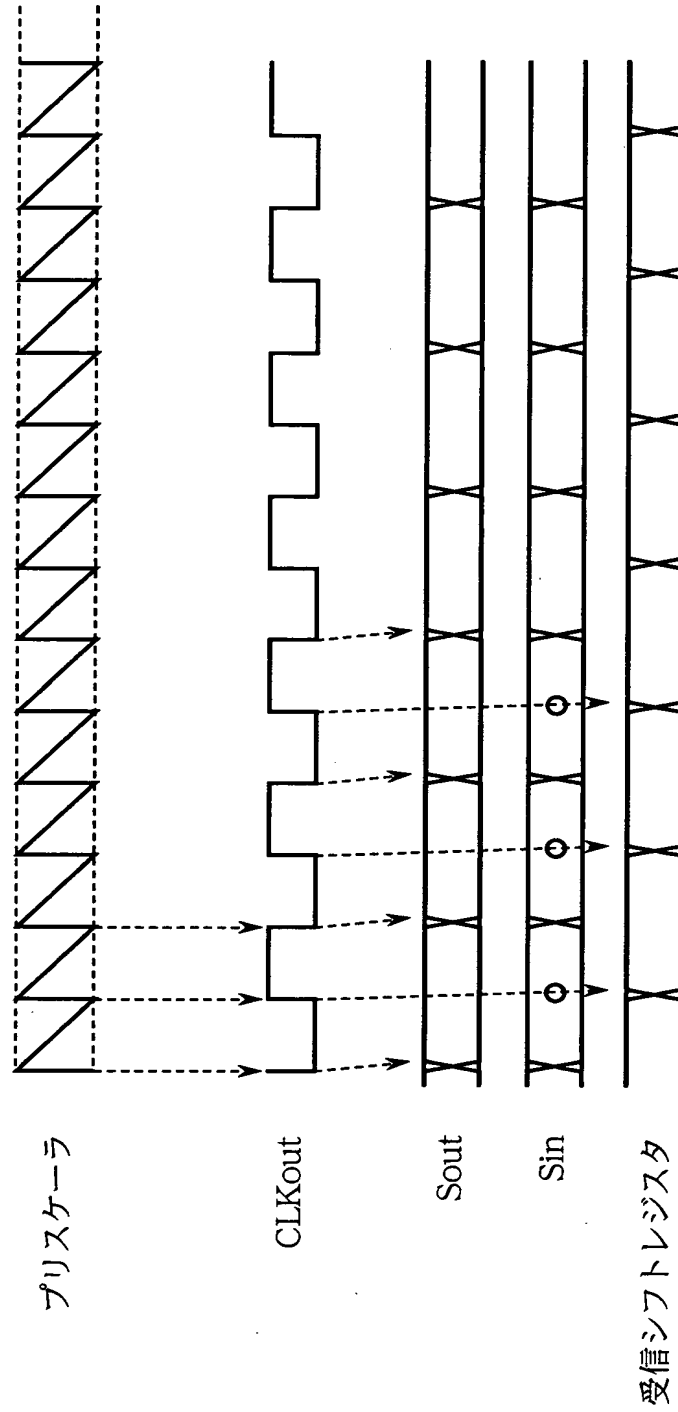
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 プリスケーラ 1 0 0 はクロック信号の生成以外の処理に使用されることが少なく、タイマ機能などの周辺機能が有効に利用されていないという課題があった。

【解決手段】 所定値までのカウント信号を所定の時間ごとに出力するタイマ回路と、データの送受信タイミングに対応する設定値を格納し、タイマ回路からのカウント信号値と設定値とが一致するごとに一致信号を出力する比較一致レジスタ回路と、外部からのクロック信号及び比較一致レジスタ回路からの一致信号のうちいずれかを選択してデータシフトクロック信号として出力するクロック選択回路と、データシフトクロック信号が入力されるごとに、データ送受信を行うデータシフトレジスタ回路とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社